

第3回 P&I パテントコンテスト

パテント・オブ・ザ・イヤー

デザイン・テクノロジー部門 (横浜市長賞)

2006年11月1日

特許番号	特許 第 3735723 号
発明の名称	「ハードウェア記述言語合成ツール及びそれを利用した集積回路の設計方法」
特許権者	国立大学法人金沢大学
発明者	北川 章夫 (金沢大学助教授)、尾形 秀範、秋田 純一 (順不同)

発明としての技術的特徴

本発明は、高位レベル言語プログラムを、コンパイラによりマイクロプロセッサが実行可能なアセンブリレベル言語プログラムの命令コードに変換し、そのアセンブリレベル言語プログラムの命令コードをマイクロプロセッサのハードウェアコンポーネントに対応させ1対1でハードウェア記述言語により記述したハードウェア設計ファイルに置き換えた設計ツールに関する発明であり、近時の設計業務が抱える検証やシミュレーション作業の効率化に寄与する技術として高く評価される。

特許権としての特徴

本発明は、請求項の記載が抽象的な概念で記載される共に、異なる実施例を従属した請求項として記載され、抽象性と具体性のバランスが良い請求の範囲の記載である。また、明細書の記載も詳細かつ丁寧であり、権利範囲を理解しやすい記載として評価できる。さらに、早期審査を利用して積極的に早期に特許化しているため権利期間も長い。

市場面から見た評価

本発明は、設計業務に関する効率化を意図した発明であり、設計環境の改善を意図した意義は、広く評価される。また、設計関係技術の多くが海外に依存する中で、一定規模の市場を有する日本国内において、利用者の立場にたった視点での特許取得は、設計技術の現状を考慮すると現実的な解といえ、設計環境が整えば、幅広い利用が期待される。

東京工業大学精密工学研究所 P&I パテントコンテスト事務局 幹事：益 一哉、大嶋洋一