

第2回 P&I パテントコンテスト パテント・オブ・ザ・イヤー

2005年11月8日

特許番号 特許 第 3544096 号
発明の名称 「半導体集積回路装置」
特許権者 東京大学長, 株式会社東芝
発明者 櫻井 貴康 (東京大学教授), 黒田 忠広 (慶應義塾大学教授),
藤田 哲也, 松原 玄宗 (順不同)

発明としての技術的特徴

本発明は、CMOS論理回路における待機時電流制御用MOSトランジスタのゲートに対し、0V以下もしくはVDD以上の高い電圧を印加することにより、電源電圧VDDを低電圧としても待機時電流制御用MOSトランジスタのオン・オフを確実にを行う回路技術である。モバイル機器に要請される低電圧化条件において、待機時のリーク電流の低減化技術は汎用性に富む技術として、実効性・有用性が高いものと評価される。

特許権としての特徴

本発明は、半導体集積回路装置に関する特許であるが、回路形式として、6つの独立した請求項を有し、かつ全体で18の請求項を有する幅広い権利を具体的に取得している点が評価される。また、明細書中に開示された回路網を記載した実施例は詳細であり、権利の実効性を支えている。さらに、海外の特許取得(米国6215159号)もなされており、権利の国際性も兼備している。

市場面から見た評価

本発明が対象とする低電圧動作半導体集積回路の応用範囲は、携帯電話を初め、モバイル系アプリケーションを対象としており、その応用範囲は非常に広い。特に、モバイル系アプリケーションにとって生命線であるバッテリーの長時間化への寄与は、バッテリーを用いるアプリケーションの全てで採用を検討される余地があり、影響力の大きな特許として位置づけられる。

東京工業大学精密工学研究所 P&I パテントコンテスト事務局 幹事：益 一哉、大嶋洋一