

Design of Driver Circuit for Differential Transmission Line in Si ULSI

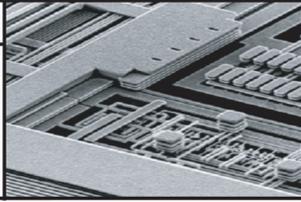
Kohichi Nakamura, Shinichiro Gomi, Kenichi Okada and Kazuya Masu

Precision and Intelligence Laboratory, Tokyo Institute of Technology

Background

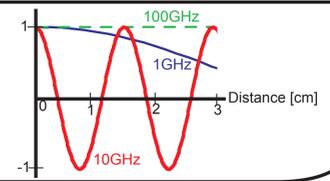
LSIの大規模化

マイクロプロセッサなどの超大規模集積回路 (LSI) においては個々のデバイスの遅延よりもそれら数千万個のトランジスタを接続する配線の遅延の方が支配的



LSIの高速化

- 高周波化に伴い、配線のインダクタンス成分が無視できなくなる。
- 線路長が長くなるにつれ、信号に波としての性質が表れてくる。



従来の様な、RC集中定数回路としての扱いが困難

LSI内の長距離配線に伝送線路を用いることで高速化を達成する

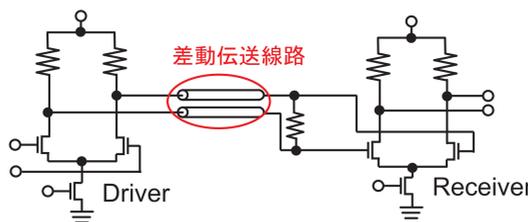
Driver and Receiver Circuits

伝送線路 → 差動伝送線路

差動伝送の利点

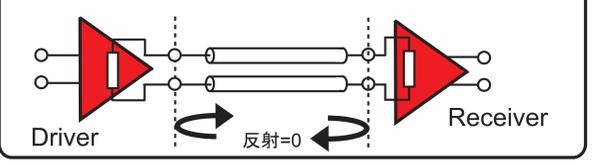
- 伝送線路の接地が不要
- 同相ノイズに強い
- 小信号の伝送が可能 ⇒ 回路動作の高速化

差動伝送線路駆動・受動回路 → 差動増幅回路



特徴

- 小振幅差動信号の伝送を想定
- 伝送線路とのインピーダンスマッチングを考慮 → 信号の反射が起こらない



Advantages of Differential Transmission

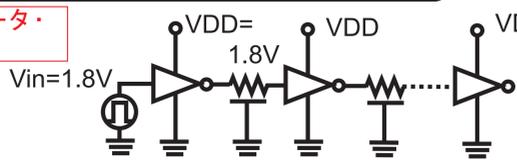
差動伝送の有効性の検討

従来手法であるRC線路・CMOSインバータと差動増幅回路・差動伝送線路の比較を配線長を変化させて行う。
→ 消費電力、遅延時間

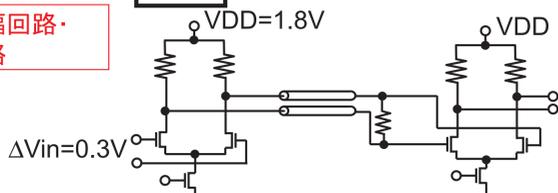
入力信号: 1GHz方形波

デバイスパラメータ: 0.18 μm CMOSプロセス

CMOSインバータ・RC線路

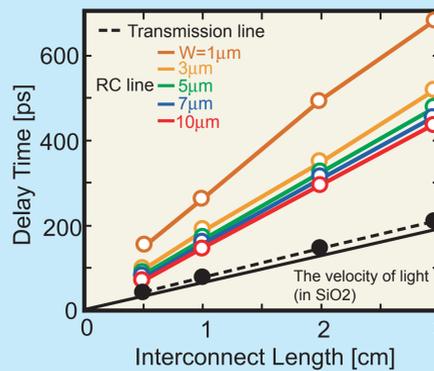


差動増幅回路・伝送線路

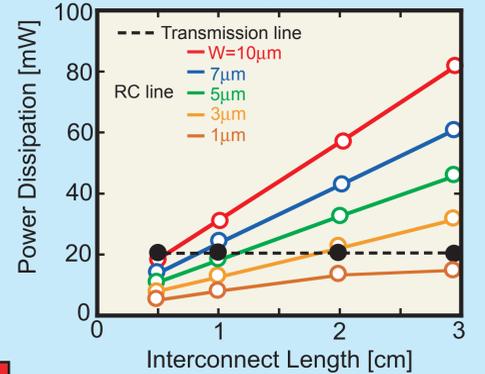


比較結果

遅延時間



消費電力



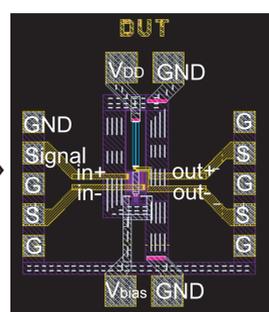
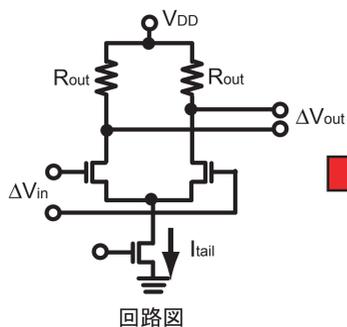
- 差動伝送の方がRC線路と比較して、高速である。
→ Si ULSI内に差動伝送が実現できると、さらなる高速化が期待できる。
- 駆動・受動回路の低消費電力化が課題

Design of Driver Circuit

AMS 0.35μm CMOS Processで設計 (2002年10月)

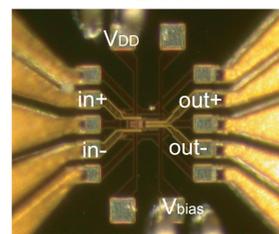
仕様

電源電圧 V_{DD} : 3.3V
差動利得: 1 (100Ω線路負荷時)
差動入力振幅 ΔV_{in} : 0.3V
差動出力振幅 ΔV_{out} : 0.3V
出カインピーダンス R_{out} : 100Ω
テイル電流 I_{tail} : 10mA

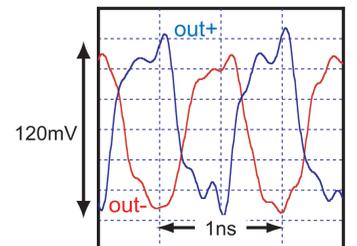


レイアウト

測定写真



オシロスコープで観測

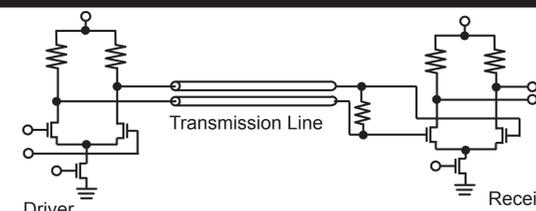
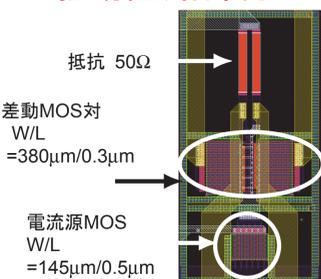


1GHzでの動作を確認

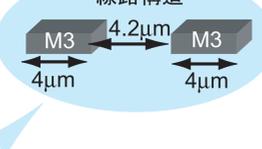
Driver and Transmission Line and Receiver

AMS 0.35μm CMOS Processで設計 (2003年6月)

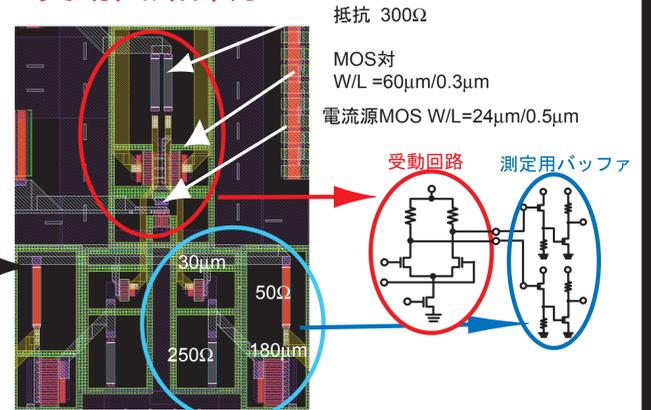
駆動回路部分



線路構造



受動回路部分



抵抗 300Ω
MOS対 W/L = 60μm/0.3μm
電流源MOS W/L = 24μm/0.5μm

受動回路 測定用バッファ