

配線長分布を用いたLSIの性能予測に関する研究

東京工業大学 精密工学研究所 益研究室

井上 淳平、中島 英斉、岡田 健一、益 一哉

1. 背景・目的

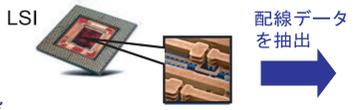
近年のシステムLSI { ゲート遅延が減少
配線遅延が増加

LSIの性能は配線に律速される

配線長分布

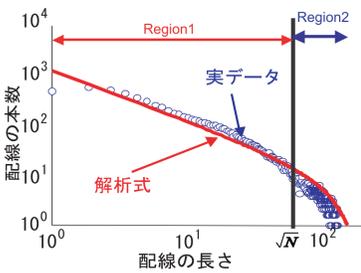
配線の長さ和本数の関係より回路性能を予測し、回路特性がどのような傾向を持つのかを検証する。

経験則より導出される解析式 実チップの配線本数を予測



応用手段

- 消費電力、動作周波数の見積もり
- Xアーキテクチャの性能見積もり
- 配置効率の最適化
- 配線構造の最適化



解析式

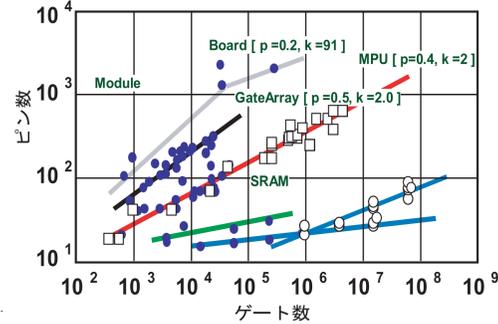
$$i(l) = \frac{\alpha k}{2} \Gamma \left(\frac{l^3}{3} - \sqrt{2} N l^2 + 2 N l \right) l^{2p-4} \quad (1)$$

$$i(l) = \frac{\alpha k}{6} \Gamma \left(2\sqrt{N} - l \right)^3 l^{2p-4} \quad (2)$$

$$\Gamma = \frac{2N(l-N)^{p-1}}{-N^p \frac{1+2p-2^{2p-1}}{p(2p-1)(2p-3)} - \frac{1}{6p} \frac{2\sqrt{N}}{2p-1} \frac{N}{p-1} \alpha = \frac{f.o.}{f.o.+1}}$$

解析式: J. Davis et al., IEEE ED, vol 45, 580-589, 1998.

レントの法則

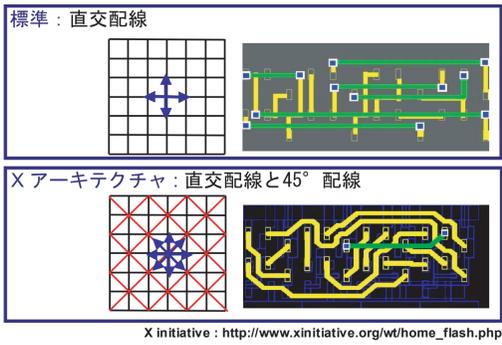


Rent's rule: $T = kN^p$

- Pin T: pin of chip
- # of gates N: # of logic block
- Rent's constant k: average # of ports of gates
- Rent's constant p: the complexity of circuits

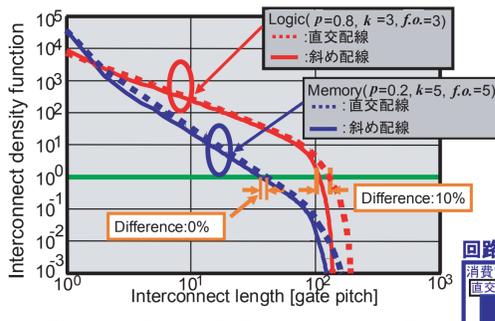
2. Xアーキテクチャ

配線長が減少



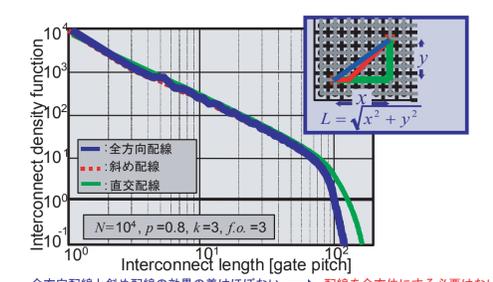
X initiative: http://www.xinitiative.org/wt/home_flash.php

logicとmemoryにおける直交配線とXアーキテクチャの配線長分布の比較



回路が複雑になるにつれ、長い配線が減少するので、斜め配線の効果は大きい。

全方向配線の配線長分布

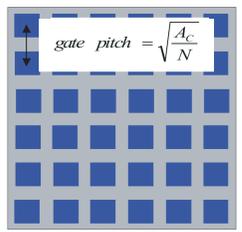


全方向配線と斜め配線の効果の差はほぼない。配線を全方向にする必要はない。

回路性能

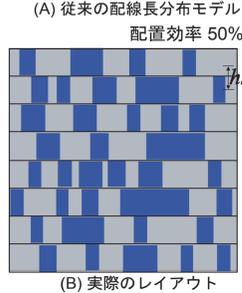
消費電力と動作周波数
直交配線: I_{total} 総配線長
斜め配線: I_{ave} 平均配線長
消費電力とチップ面積は17%減少
動作周波数は18%削減

3. 配置効率と回路性能の関係



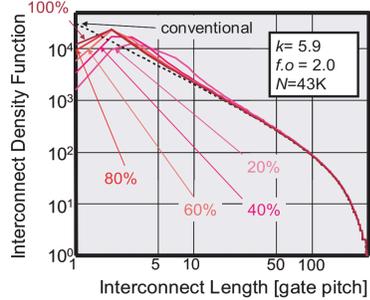
配線長分布のモデルは等しい面積のゲートが均一に配置される

実際のレイアウトはセルが任意に配置

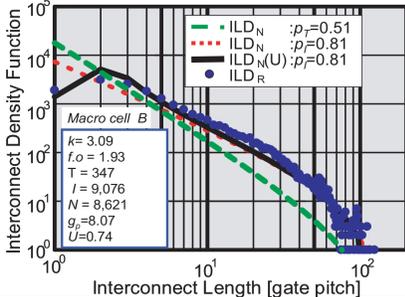


新規配線長分布モデルを提案
配置効率と回路性能の関係を明らかにする

配置効率の変化に伴う分布の変化

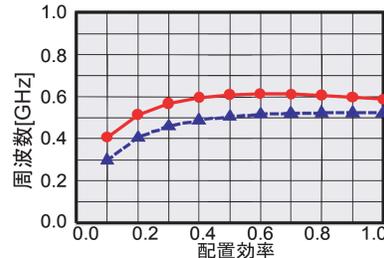


実データとの一致

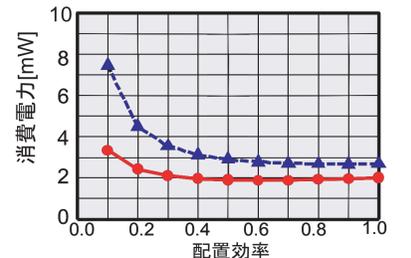


●: 複雑な回路 (p=0.8, k=3, fout=2)
▲: 単純な回路 (p=0.2, k=5, fout=4)

動作周波数



消費電力



想定する回路モデルにおいて、20~30%の配置効率が最高の回路性能

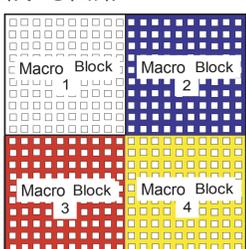
4. 配線構造の最適化

Roadmapが提唱する配線構造と別の配線構造では回路性能はどうか

チップ毎に性能が最高になる配線構造が異なるのではないかと



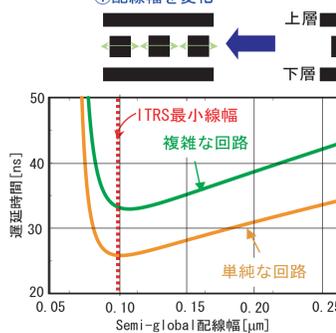
想定回路する回路



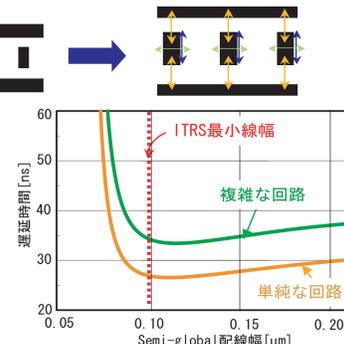
複雑な回路				
	Macro Block 1	Macro Block 2	Macro Block 3	Macro Block 4
p	0.8	0.7	0.6	0.5
k	3.00	3.25	3.50	3.75
fout	2.00	2.25	2.50	2.75

単純な回路				
	Macro Block 1	Macro Block 2	Macro Block 3	Macro Block 4
p	0.8	0.6	0.4	0.2
k	3.00	3.50	4.00	4.50
fout	2.00	2.50	3.00	3.50

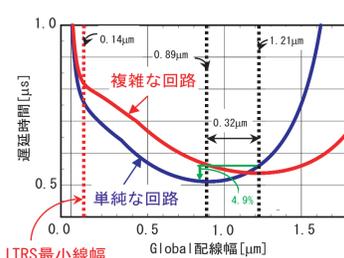
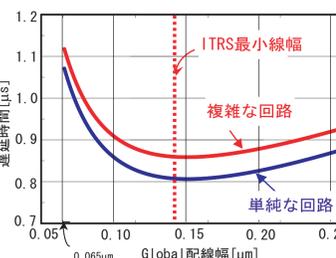
①配線幅を変化



②配線幅に合わせて、層間絶縁膜、配線高さを変化



遅延時間が最小となる配線幅は、ITRSで提唱されている配線幅とほぼ等しい。回路による違いも無視できる。



①最適回路はITRSの最小線幅に等しい
②ITRSの最小線幅より太くすると、遅延時間が減少。回路によって、最適なGlobal配線幅が異なる