

Si LSI内のGHz帯差動伝送線路に関する研究

東京工業大学 精密工学研究所 益研究室
伊藤 浩之、岡田 健一、益 一哉

1. 背景

Si ULSI ← 不可避な問題

高速化と消費電力のTrade-off

- 動作速度: GHz帯
- チップサイズ: cmオーダー

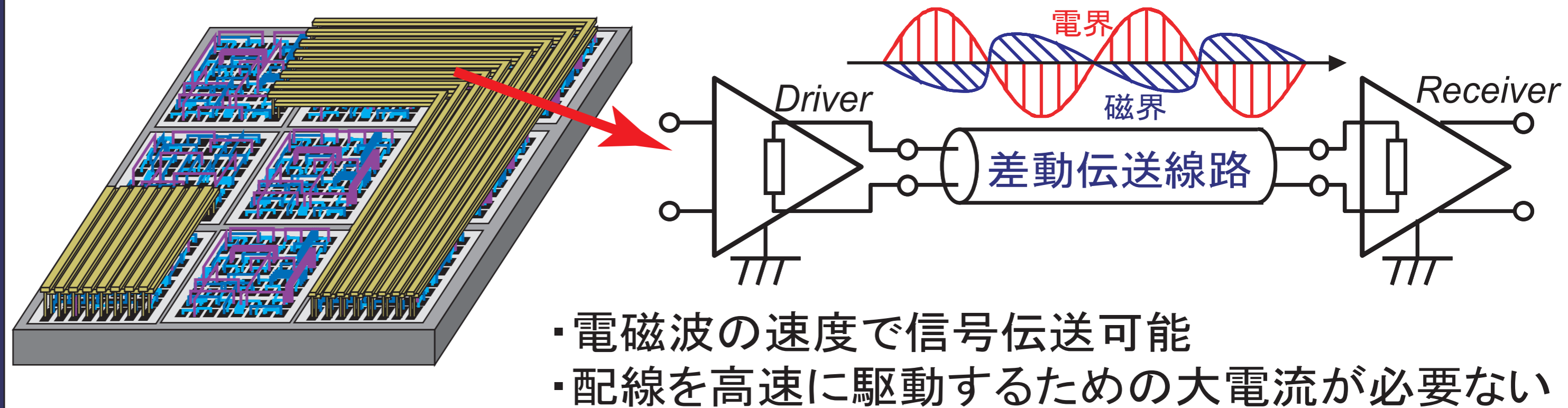
長距離配線の遅延 > デバイスの遅延

長距離配線がLSI全体の性能を律速している。

高速化 = { 長距離配線を回路で分割
回路に多くの電流を流す

2. 目的

差動伝送線路を用いたLSI内超高速信号伝送技術の確立



LSIの高速化と消費電力のTrade-offを打破する

- 目標
- 配線単体: 20~40 Gbps
 - 回路込み(1対1伝送): 10 Gbps

3. 差動伝送線路特性の評価

Diagonal-pair Line

AMS社 0.35 μm CMOS Process

配線TEG

配線幅: 4 μm
配線長: 3 mm
差動インピーダンス: 100 Ω
配線層: M1&M3

測定系: 4 port VNA (Agilent社, 8720ES, N4418A)
GSGSG Probe (Cascade社, ACP-40)
校正: SOLT法
De-embedding: 5段階

— 3 mm: 測定値
— 6 mm
— 9 mm
— 12 mm

Magnitude [dB]

Phase [deg.]

Frequency [GHz]

Sdd21, Sdd12

Sdd11, Sdd22

20 GHz
50 MHz
Z_{diff}=100Ω

Pulse Pattern Generator
Digital Oscilloscope

Trigger
DATA
PRBS (0.3 Vp-p)
DUT
ch1
ch2

M3

488 ps
168 mV

Eye-height=87 mV
Eye-width=71 ps

M1

486 ps
175 mV

50 mV/div
90 ps/div

50 mV/div
15 ps/div

Eye-height=54 mV
Eye-width=64 ps

4. 低クロストーク・高配線密度 並走配線

Crosstalk Margin : |Crosstalk Coefficient| ≤ 0.05

pair 1, pair 2, pair 3

K_{f12}, K_{b12} : Adjacent Lines
 K_{f13}, K_{b13} : Following Adjacent Lines

Backward Crosstalk Coefficient
 $K_b = \frac{1}{4} \left(\frac{|C_{ij}|}{\sqrt{C_{ii}C_{jj}}} + \frac{|L_{ij}|}{\sqrt{L_{ii}L_{jj}}} \right)$

Forward Crosstalk Coefficient
 $K_f = K_f' \times \ell / t_r$
 $K_f' = \frac{1}{2} \left(\frac{|C_{ij}|}{\sqrt{C_{ii}C_{jj}}} - \frac{|L_{ij}|}{\sqrt{L_{ii}L_{jj}}} \right) \times \sqrt{\frac{L_{ii}C_{ii}}{L_{jj}C_{jj}}}$

$L_{ij}, L_{ji}, C_{ij}, C_{ji}$: Individual Inductance, Capacitance
 L_p, L_m, C_p, C_m : Mutual Inductance, Capacitance

Co-planar Line

Diagonal-pair Line with Thick ILD

8.1 μm ≤ Line Pitch ≤ 8.6 μm
12.6 μm ≤ Line Pitch

18.2 μm Co-planar Line
15.7 μm Diagonal-pair Line
8.1 μm Thick ILD
5.0 μm Cu/Low-k

-14%
-56%
-73%
-62% vs. Co-planar Line of Cu/Low-k

pair 1 pair 2 pair 3

5. まとめ

- 提案する差動伝送線路を用いることで10 Gbpsの信号を1 cm伝送させることができる。
- Diagonal-pair Lineを用いることで低クロストークで高配線密度な並走配線が実現できる。