

On-Chip Transmission Line Interconnect

東京工業大学 精密工学研究所 益研究室 電子機能システム専攻(協力講座)
伊藤 浩之、五味 振一郎、杉田 英之、岡田 健一、益 一哉

1. Background

Si ULSI

動作周波数: 3.60 GHz
最大消費電力: 115.0 W
微細化 → 高速化
遅延時間: **長距離配線 ≧ デバイス**

LSIの性能は長距離配線によって律速されている。

Global Interconnect

- RC線路として設計されている。
- リピーターによる分割 → 高速化

(配線が長くなるほど多くのリピーターが必要)

高速化 = より多くの電流を回路に流す必要がある。

トレードオフ: 高速化 ⇔ 消費電力

Proposal

長距離配線に差動伝送線路を適応させる。

Conventional Repeater

Proposed Driver Differential Transmission Line Receiver

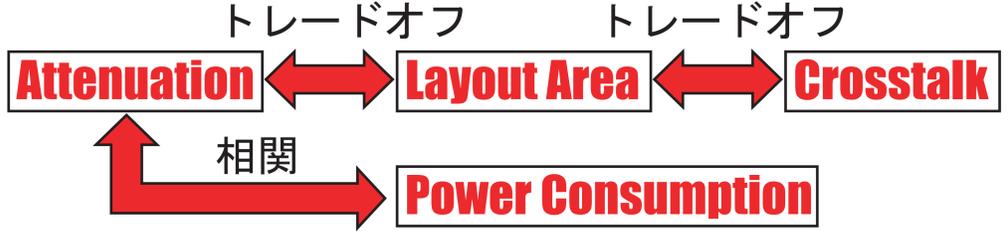
差動伝送線路
1. 伝送線路の接地が不要
2. 高い共通モード・ノイズ耐性
3. 小振幅の信号伝送が可能 = 回路の高速化が可能

差動伝送線路を用いることで、高速かつ低消費電力な長距離配線が実現できる。
長距離配線: 20Gbpsの1対1伝送を1/4の消費電力で = LSI: 20GHz動作 → 54GHz動作に

- 伝送線路内では電磁波の速度で信号が伝わる。 = RC線路よりも高速な信号伝送が可能
- リピーターが不要 = 消費電力が信号周波数と配線長にほとんど依存しない。

2. Differential Transmission Line Structures

Important Considerations



Attenuation, Layout Area, Characteristic Impedance

0.35 μm CMOSプロセスを参考
M1厚 = 0.7 μm, M2厚 = 0.6 μm
M3厚 = 0.9 μm, ILD厚 = 1.0 μm
SiO₂のε_r, tanδの周波数依存性は無視
Si基板の抵抗率 = 2 Ω·cm
W = 2.0 ~ 6.0 μm
Z_{diff} = 80 ~ 120 Ω (Dで調整)
Ansoft 2D Extractor
→ 配線のRLGCパラメータを抽出
→ ディファレンシャルモードの減衰定数を計算
→ 単位長さあたりの信号減衰量

信号減衰量と配線パラメータの関係

$$\alpha_{diff} = \frac{1}{2} \left(\frac{R_{diff}}{Z_{diff}} + G_{diff} Z_{diff} \right)$$

$$R_{diff} \propto \frac{1}{W}, G_{diff} \propto W, Z_{diff} \propto d$$

Si基板上的差動伝送線路の信号減衰量は、ほぼ配線幅(W)と配線間隔(D)の積に依存する。
...WD積

Time-Domain Measurement

AMS 0.35 μm CMOS Process

GSGSG Pad

Diagonal-pair Line

3 mm

配線幅: 4 μm
配線長: 3 mm
差動インピーダンス: 100 Ω
信号配線層: M1&M3

Thru

配線長: 0 mm
特性比較用

Pulse Pattern Generator Anritsu 1761B (~12.5 Gbps)

Digital Oscilloscope Agilent 86100B (~20 GHz)

Trigger

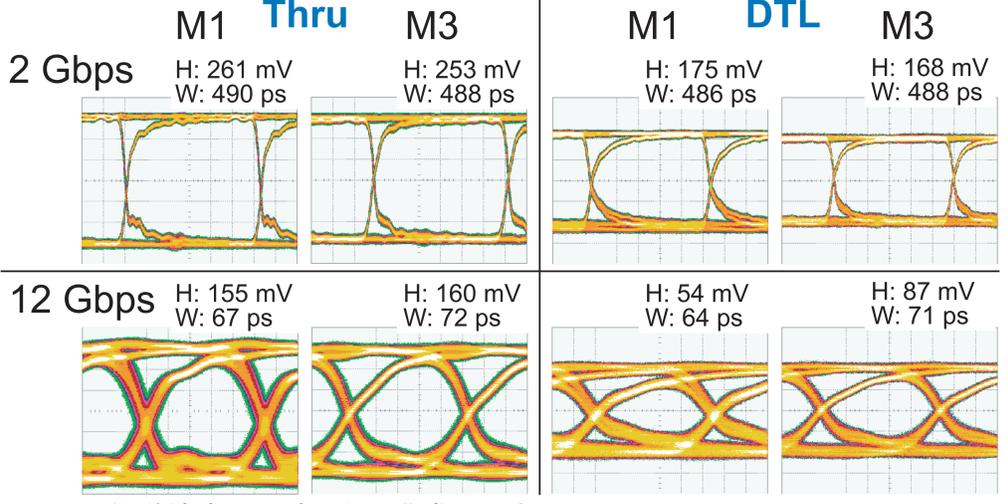
PRBS: 300 mVp-p

DATA

DUT

DATA

H: eye-height
W: eye-width



- 伝送線路でのジッタは非常に小さい。
- M1の配線の方がM3の配線よりもアイ高さが小さい = Si基板の影響
- 差動伝送線路を用いることで10 Gbps以上の高速信号伝送がオンチップで可能となる。

Crosstalk, Layout Area

Diagonal-Pair Lineの提案

...クロストークと配線密度のトレードオフを解決

Crosstalk Margin : |Crosstalk Coefficient| ≤ 0.05

Backward Crosstalk Coefficient $K_b = \frac{1}{4} \left(\frac{C_{ij}}{\sqrt{C_i C_j}} + \frac{L_{ij}}{\sqrt{L_i L_j}} \right)$

Forward Crosstalk Coefficient $K_f = K_j' \times \ell / t_r$ @ Line Length ℓ : 1cm Rise Time t_r : 10psec

$K_j' = \frac{1}{2} \left(\frac{C_{ij}}{\sqrt{C_i C_j}} - \frac{L_{ij}}{\sqrt{L_i L_j}} \right) \times \sqrt{\frac{L_i C_i}{L_j C_j}}$

$L_{ij}, L_{ji}, C_{ij}, C_{ji}$: Individual Inductance, Capacitance
 L_{ij}, C_{ij} : Mutual Inductance, Capacitance

Z_{diff} = 100 Ω

18.2 μm Co-planar

15.7 μm Diagonal-pair

8.1 μm (Thick ILD)

5.0 μm (Cu/Low-k) (ε_r=2)

pair 1 pair 2

-14%

-56%

-73%

-62% vs. Co-planar Line of Cu/Low-k

EMI Noise Reduction

縫り線構造: 長距離配線の高速化・高密度化・高クロストーク耐性化・低EMIノイズ化

全体図

• EMIの原因となる共通モード成分: 配線を縫り合わせることで低減する。(差動対を構成する配線の損失を均一にする。)
• 互い違いに縫り合わせることで、高クロストーク耐性化が可能となる。(DRAMのビット線の手法を導入)

Pair = 1

Pair = 2

Pair = 3

1 μm width
10 μm

Diagonal-pair Line

Twisted Diagonal-pair Line

10 Gbps

Voltage [V]

Time [nsec]

RC線路と比較して
共通モード電力を47dB削減