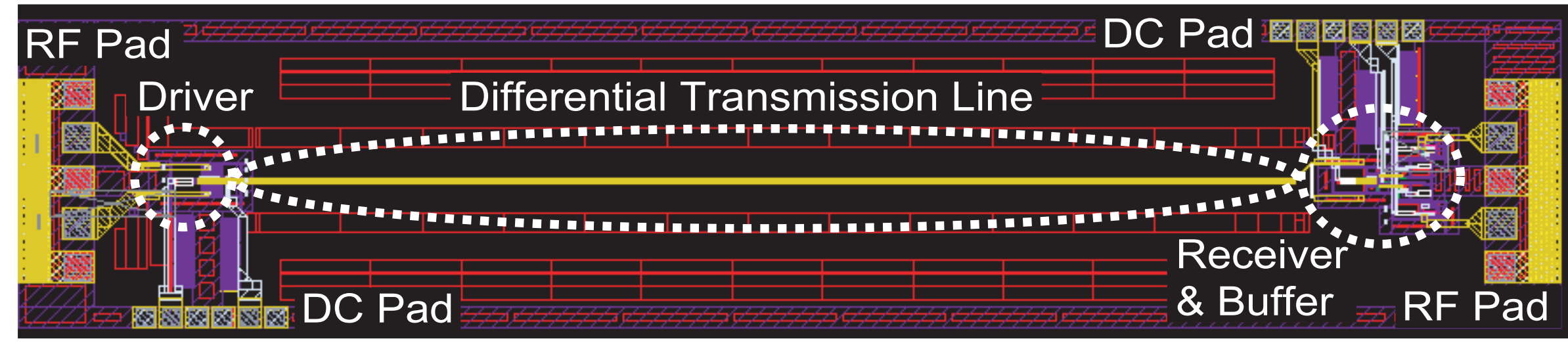
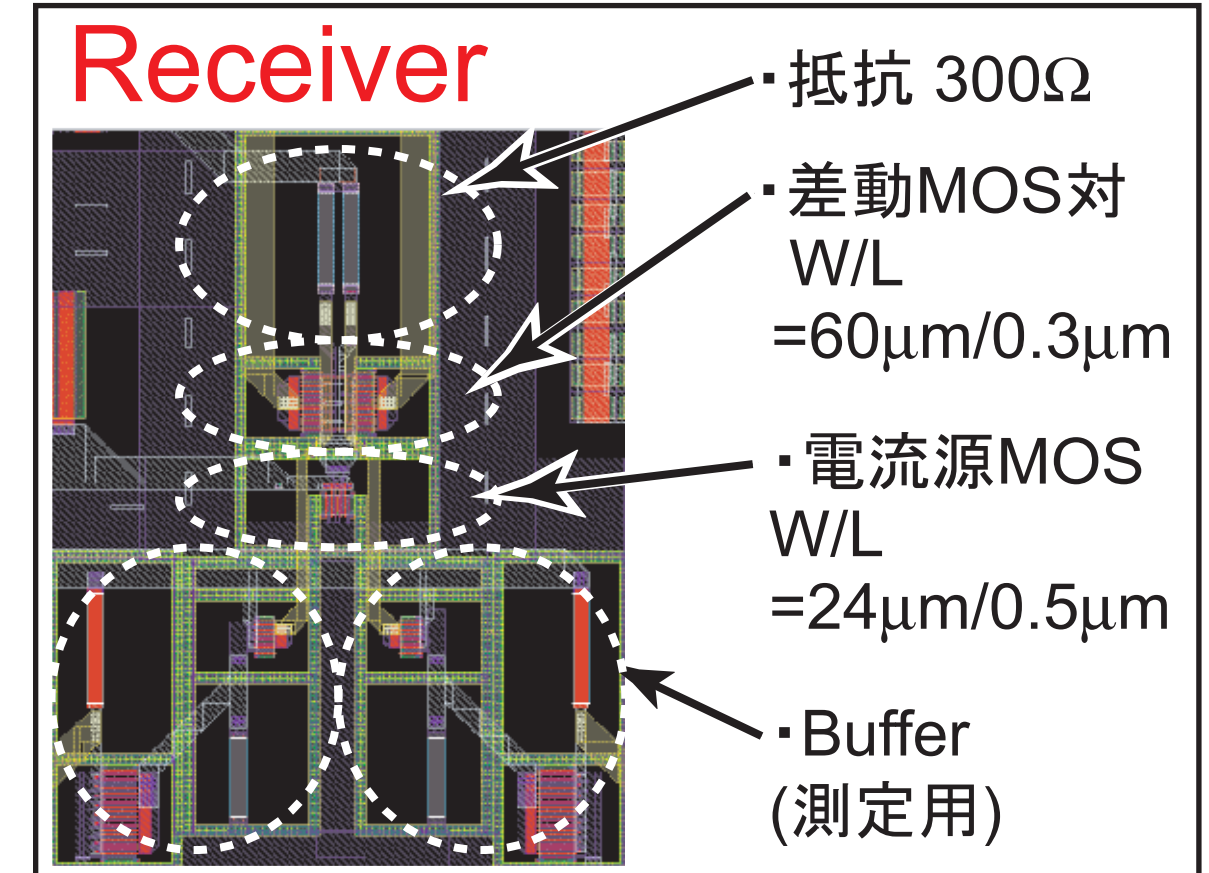
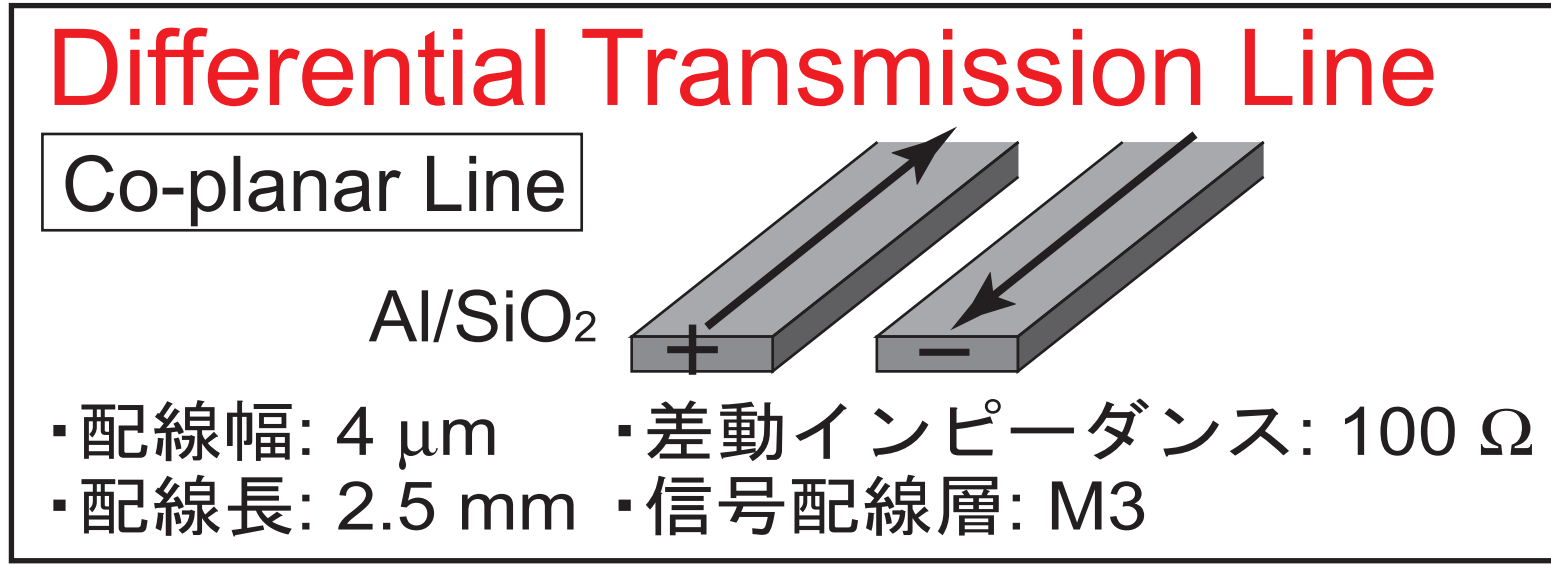
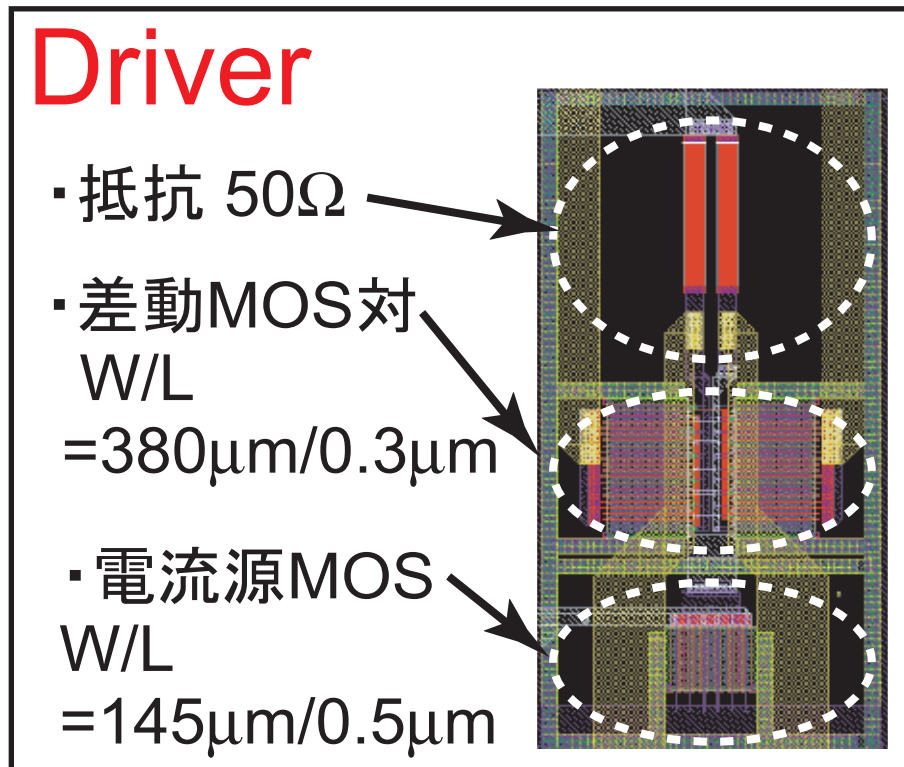


# 3. High-Speed Interconnection

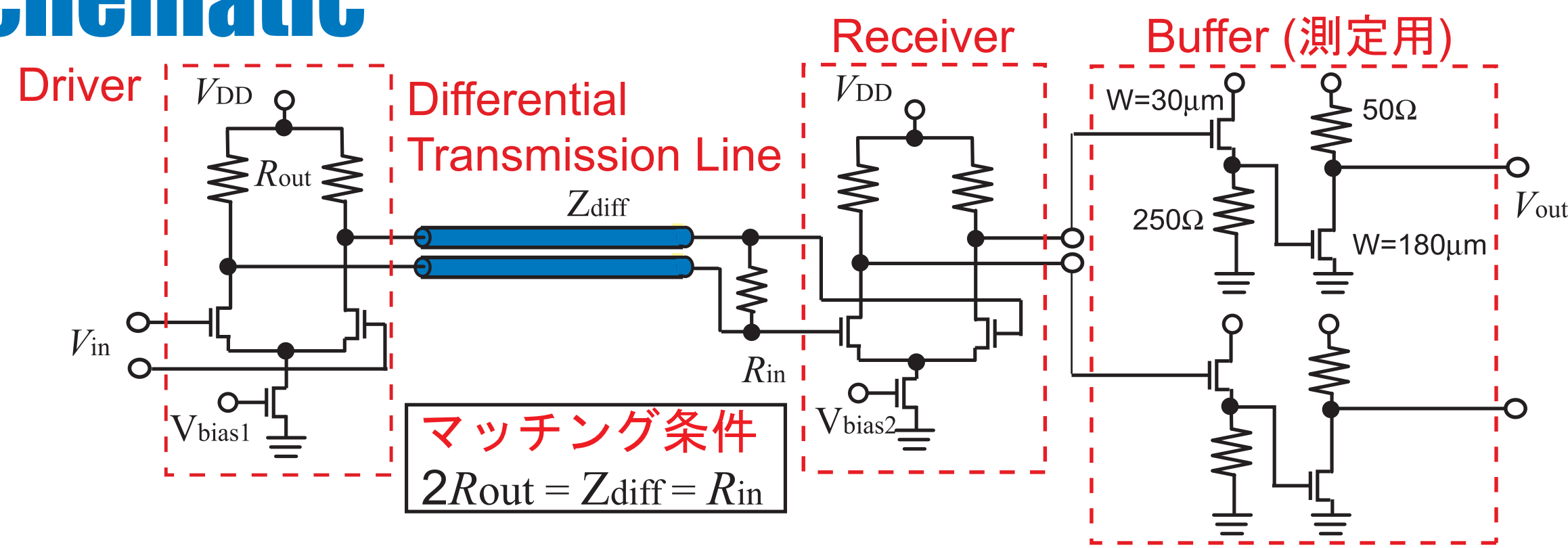
## Design of Circuits



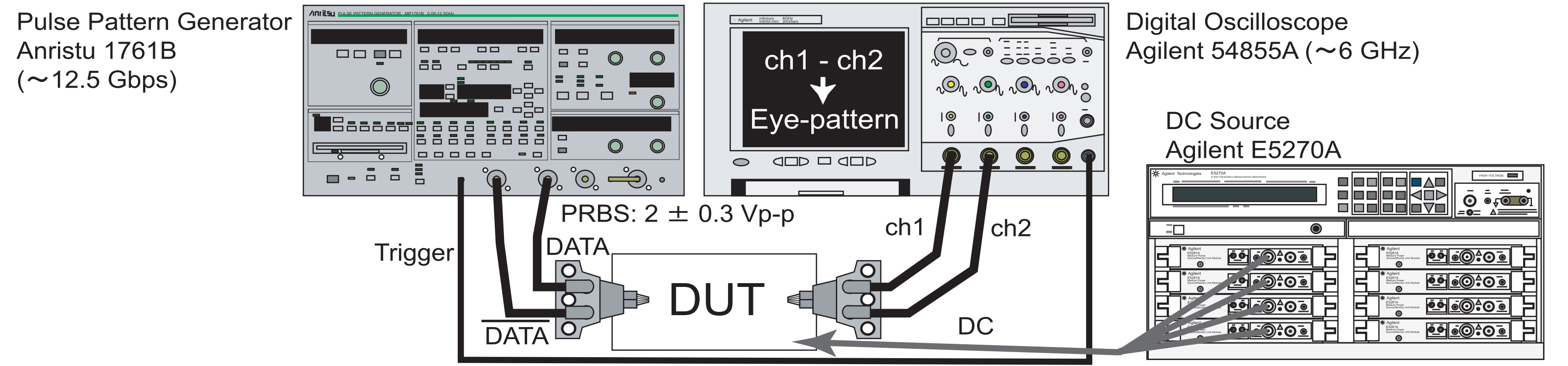
AMS 0.35μm CMOS Process



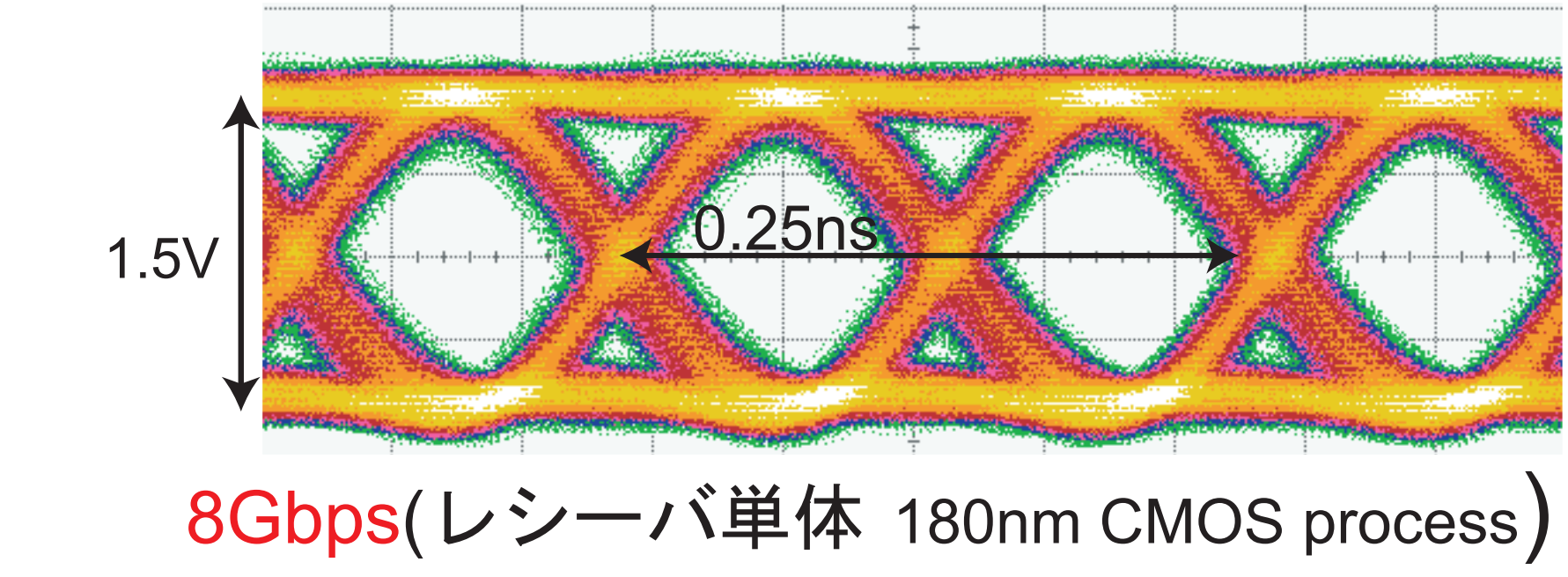
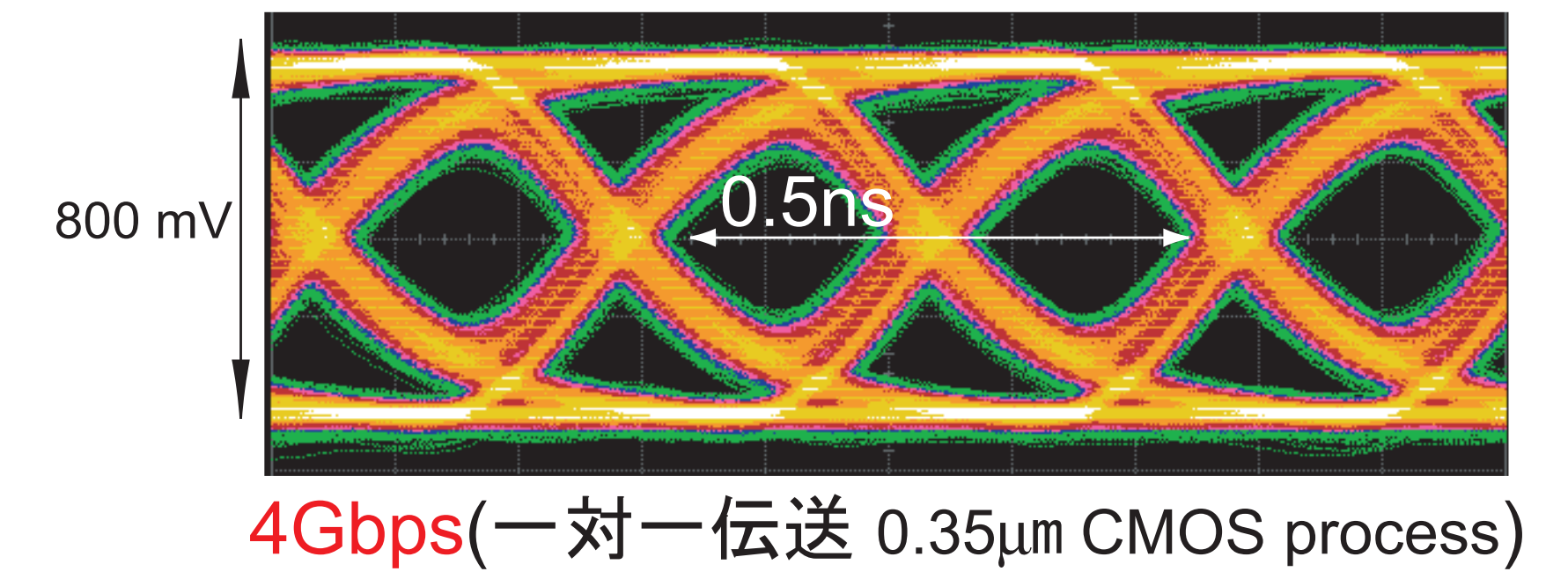
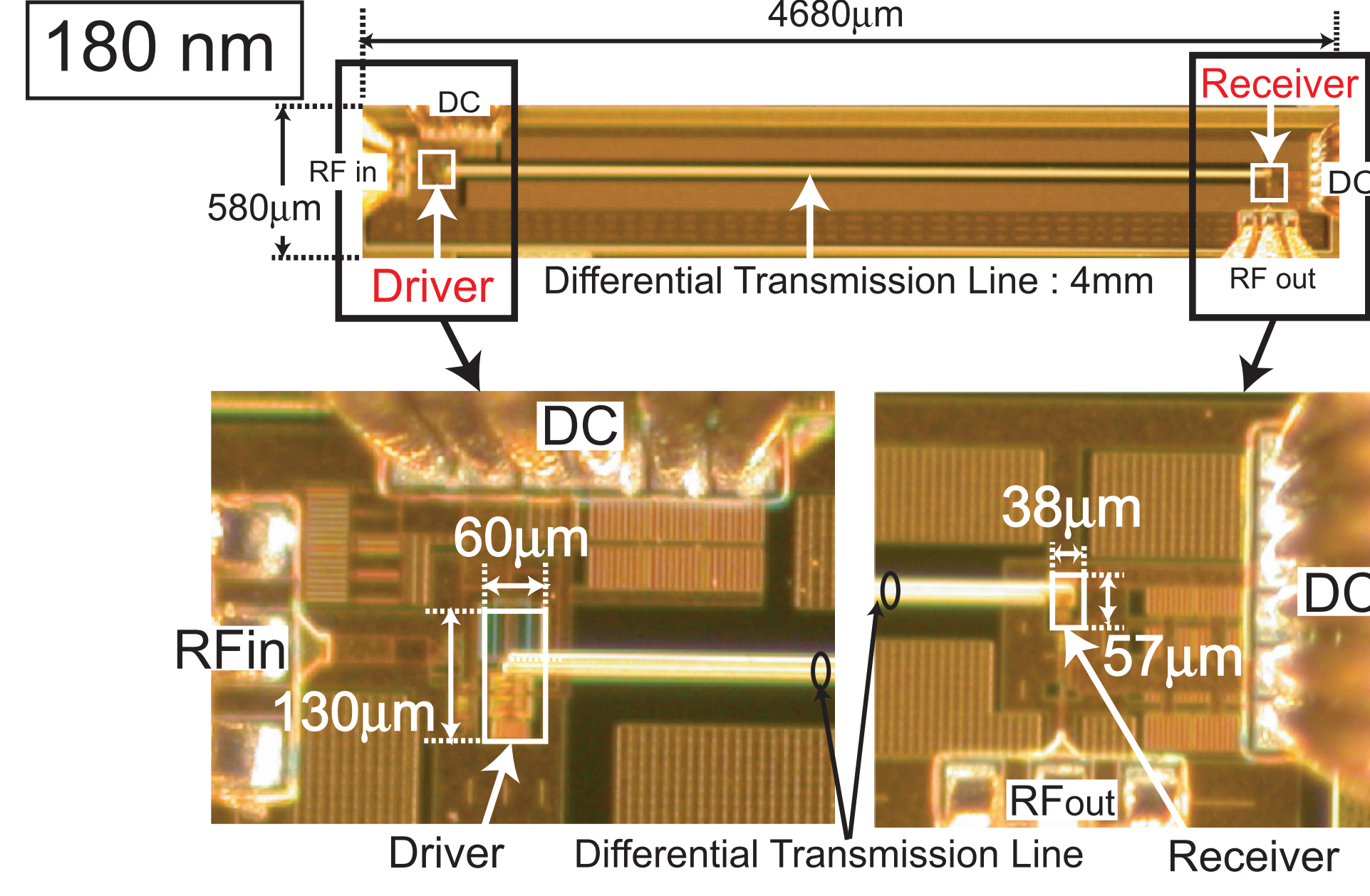
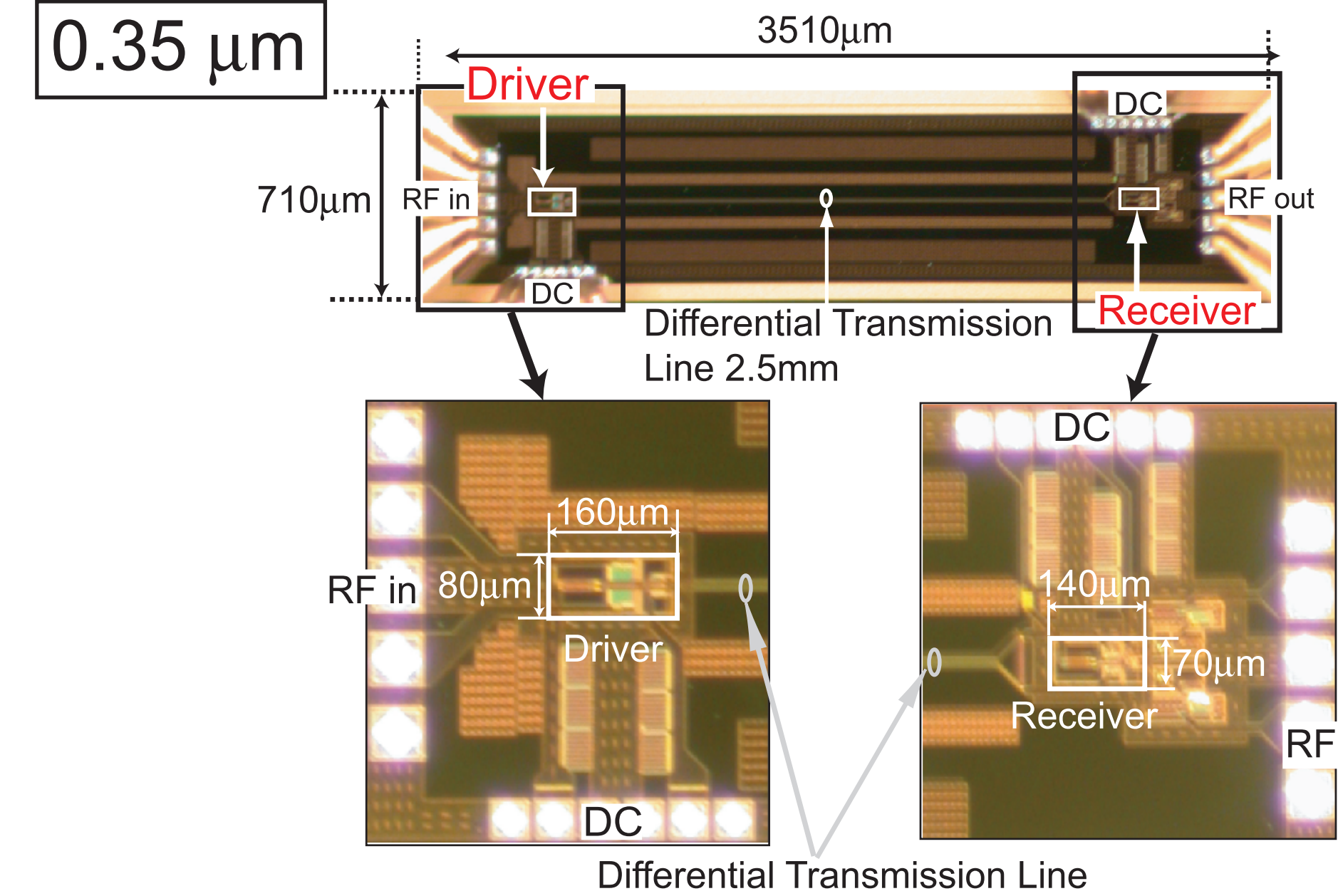
## Schematic



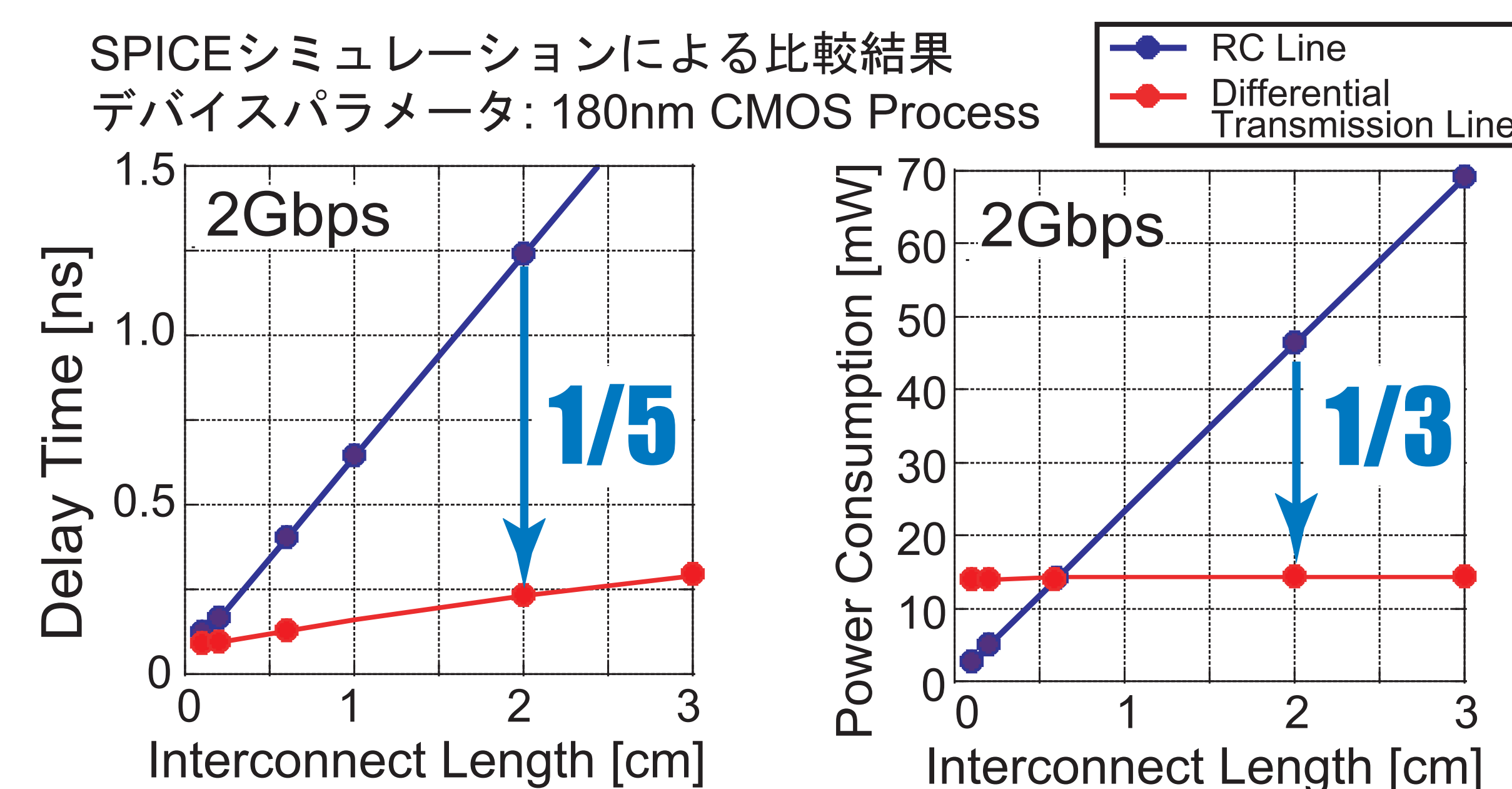
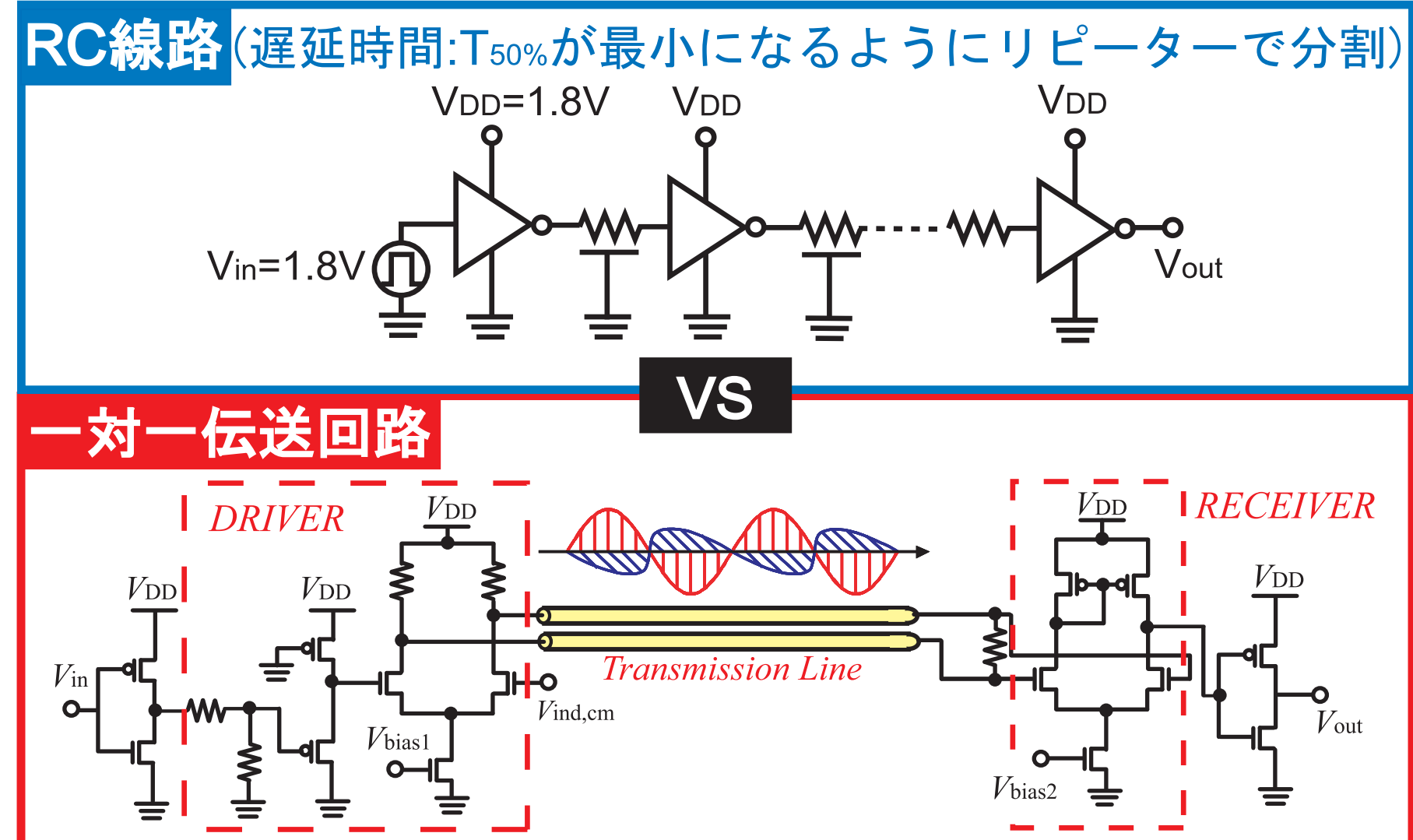
## Measurement System



## Fabricated Circuits & Measurement Results



## Transmission Line vs. RC Line



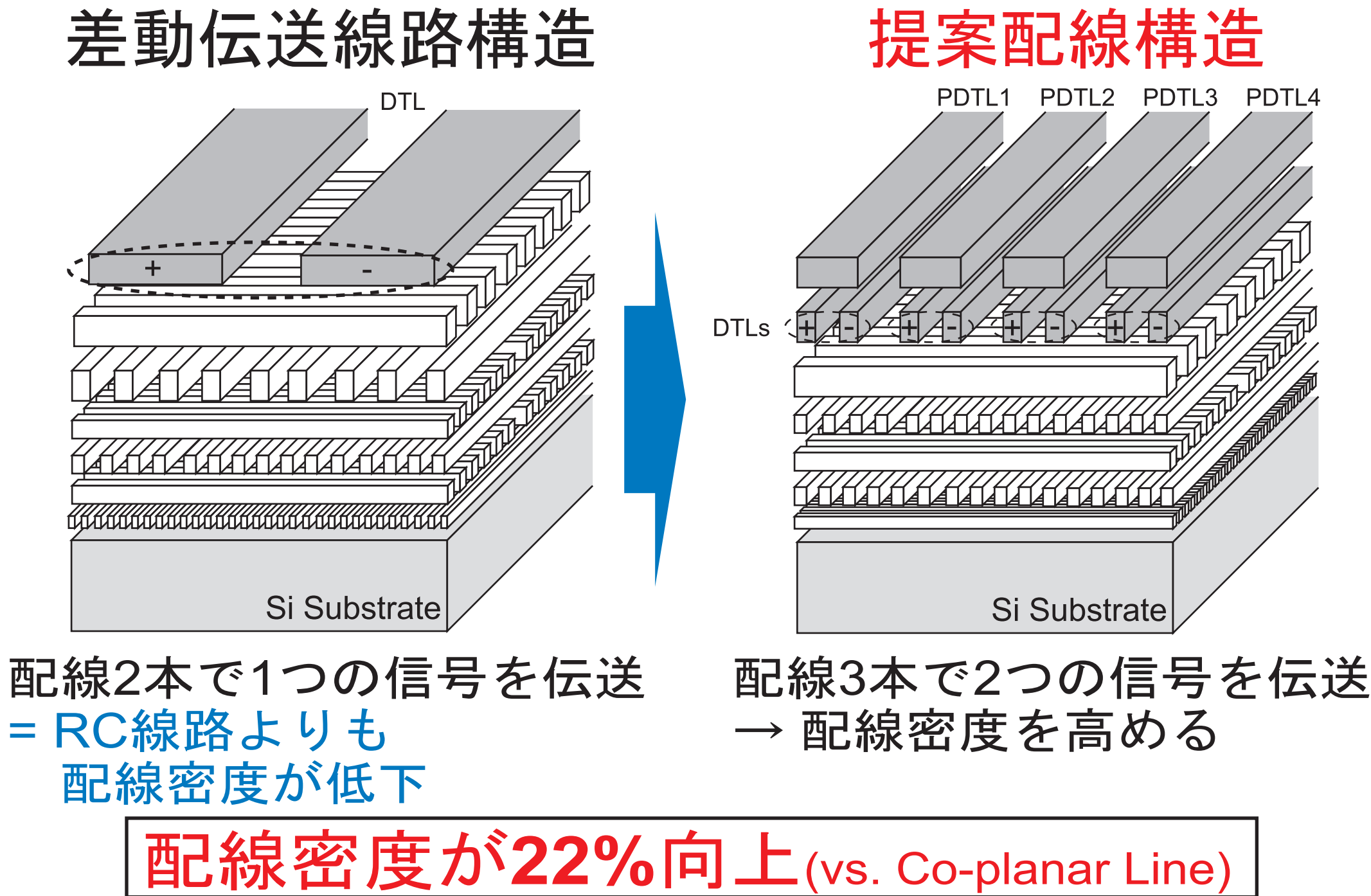
遅延時間  
... 配線長に関わらずRC線路よりも小さい

消費電力  
... 配線長6mm以上でRC線路よりも低い

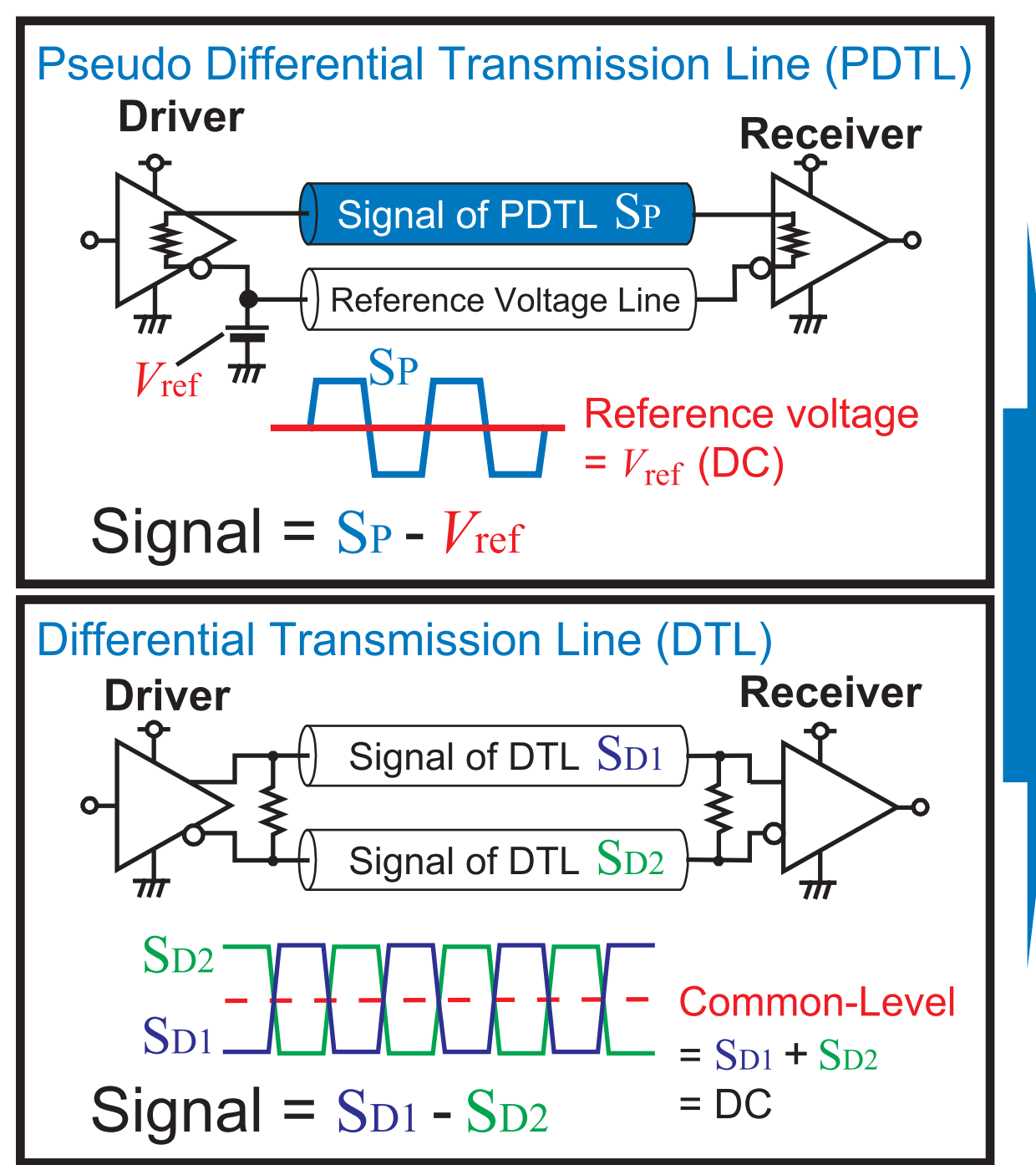
差動伝送線路を用いることで  
長距離配線の遅延時間を1/5に  
消費電力を1/3にできる。  
(配線長が2cmの場合)

# 4. Pseudo Differential Transmission Line Structure

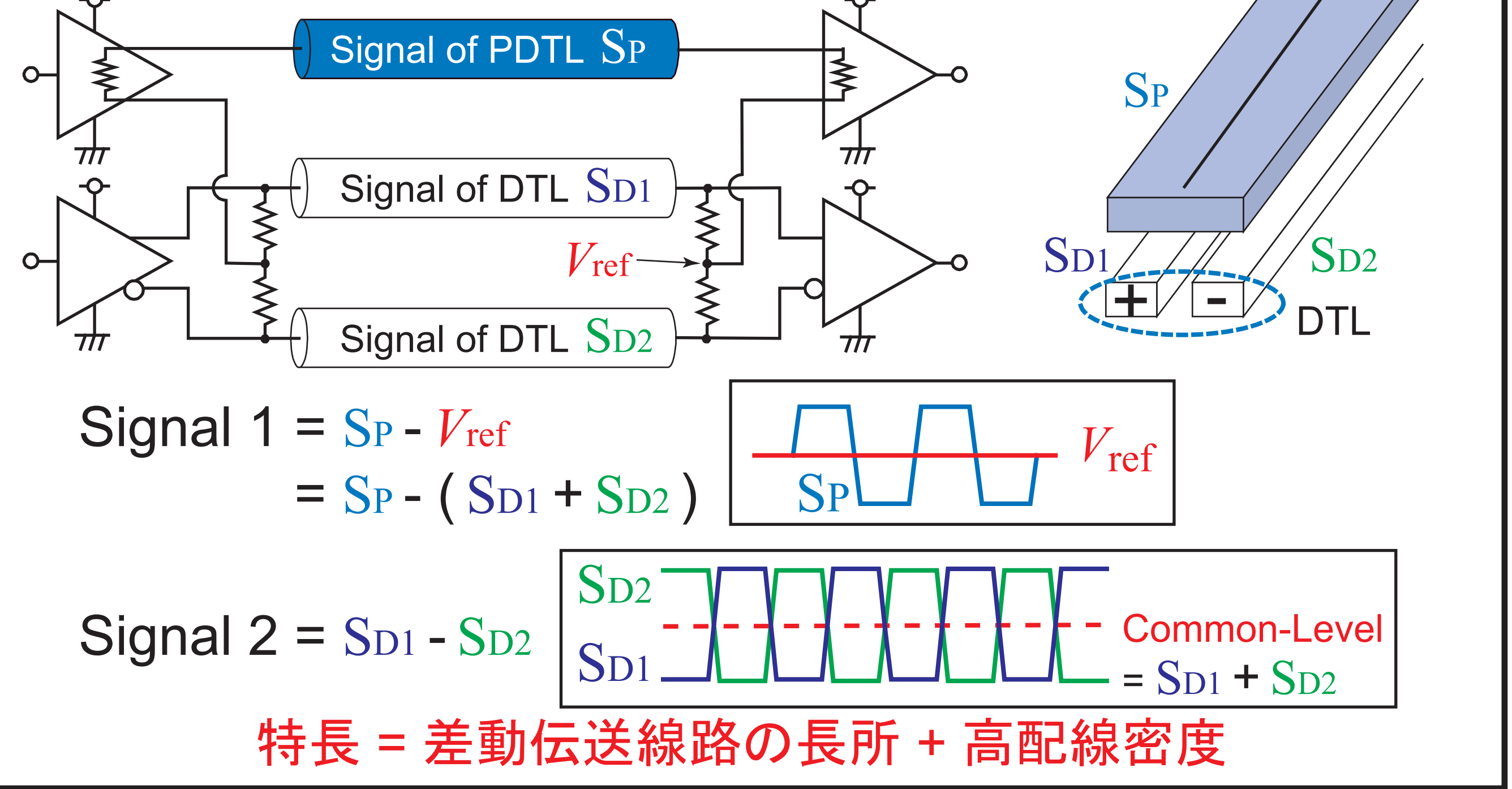
## Conclusion



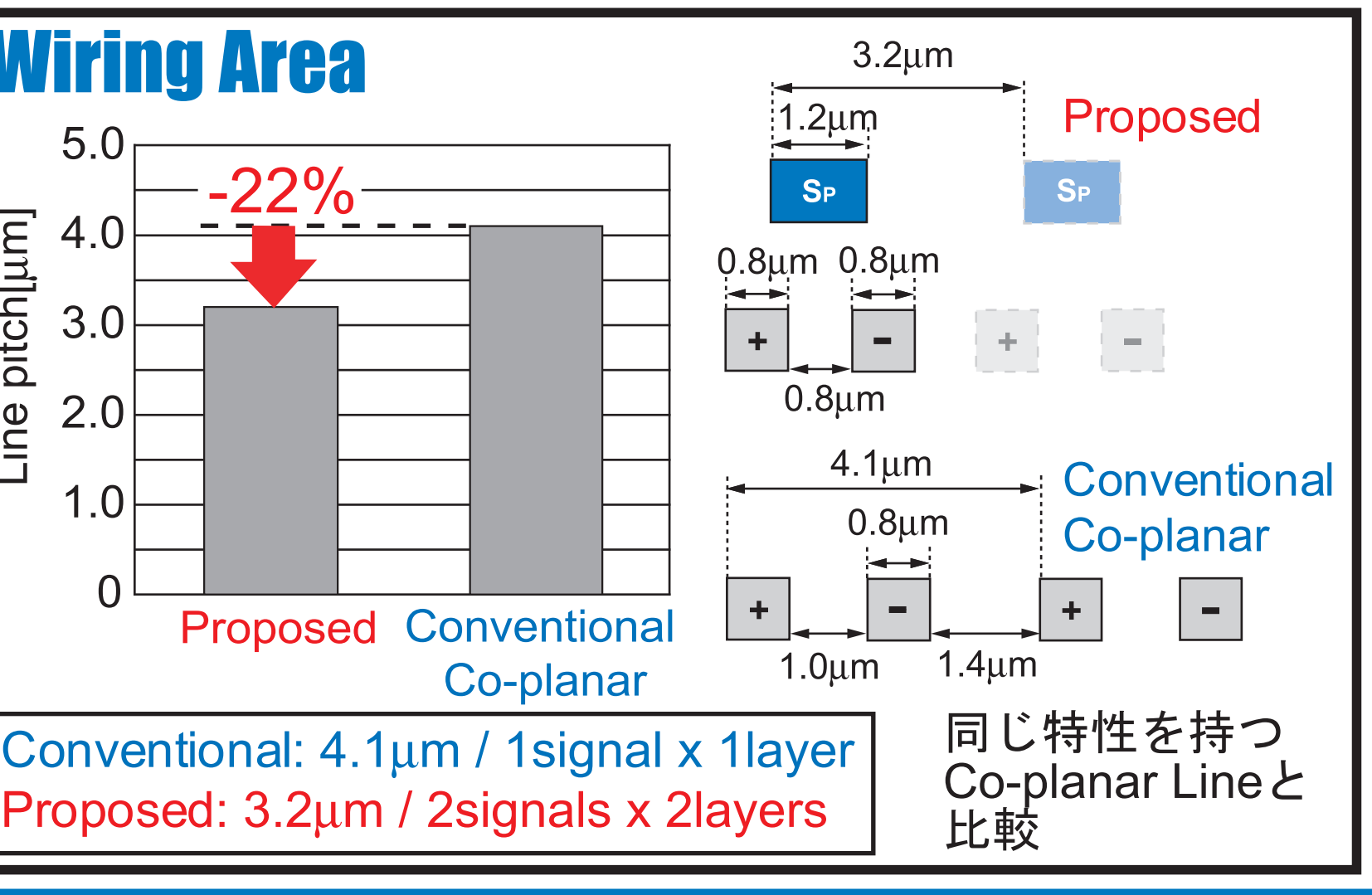
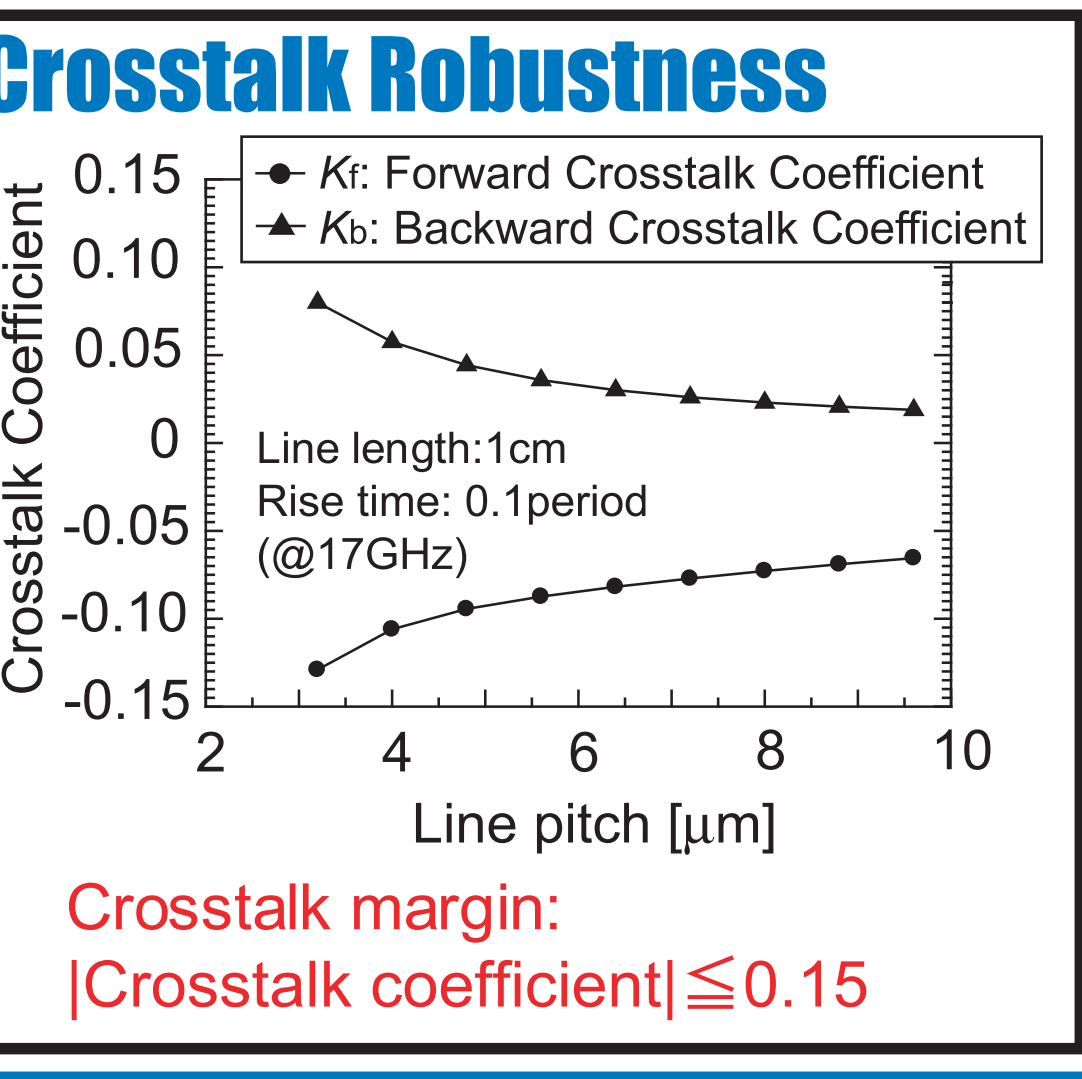
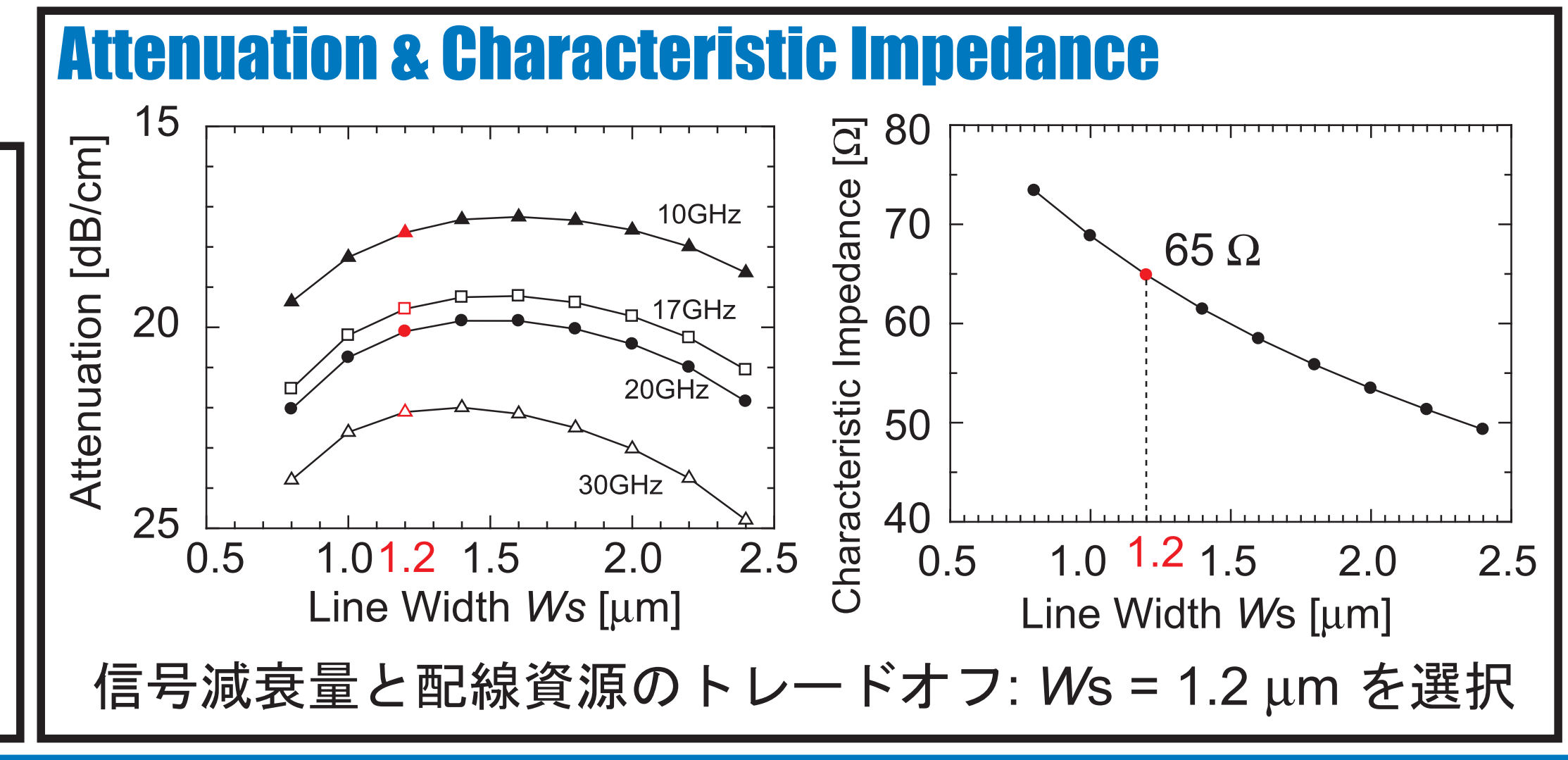
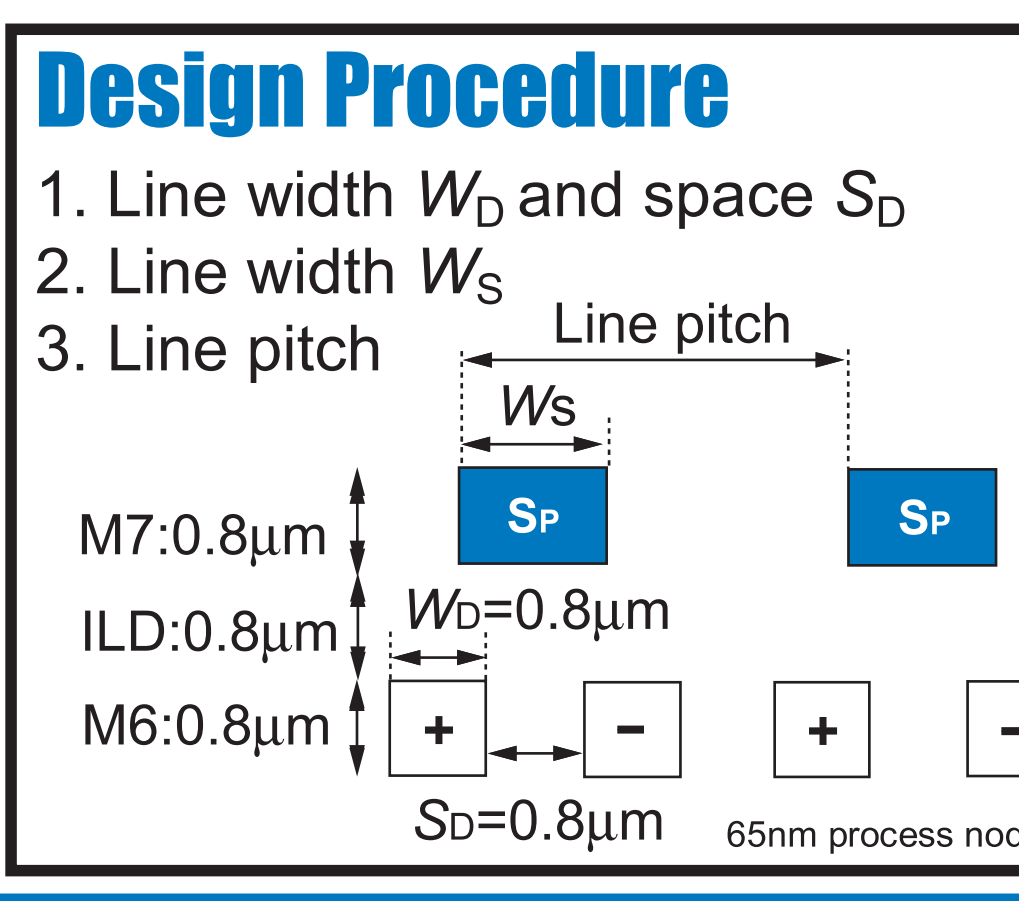
## Proposed Structure



## DTLのCommon-levelをPDDLのV<sub>ref</sub>に使う。



## Characteristics



# 5. Summary

- Si LSI内の長距離配線に適応可能な差動伝送線路構造および差動伝送線路特性に関して検討した。
  - > 信号減衰量は配線幅と配線間隔の積に依存する。
  - > Diagonal-pair Lineを用いることでクロストークと配線密度のトレードオフが解決できる。
  - > 提案配線に10Gbps以上の高速な信号を伝送させることができた。
  - > 差動伝送線路を組み合わせることで高速化・高密度化・高クロストーク耐性化・低EMIノイズ化が達成できる。
- 差動伝送線路を用いた高速信号伝送回路を検討した。
  - > 0.35μmプロセスで作成した回路においてオンチップで4Gbpsの高速信号伝送を実現した。
  - > 180nmプロセスで作成したレーザーが8Gbpsで動作することを確認した。
  - > 提案回路を用いることで長距離配線の高速化と低消費電力化が同時に実現できる。
- 擬差動伝送線路を用いた長距離配線構造を提案した。
  - > 提案構造はCo-planar構造の差動伝送線路よりも22%高い配線密度を有していた。