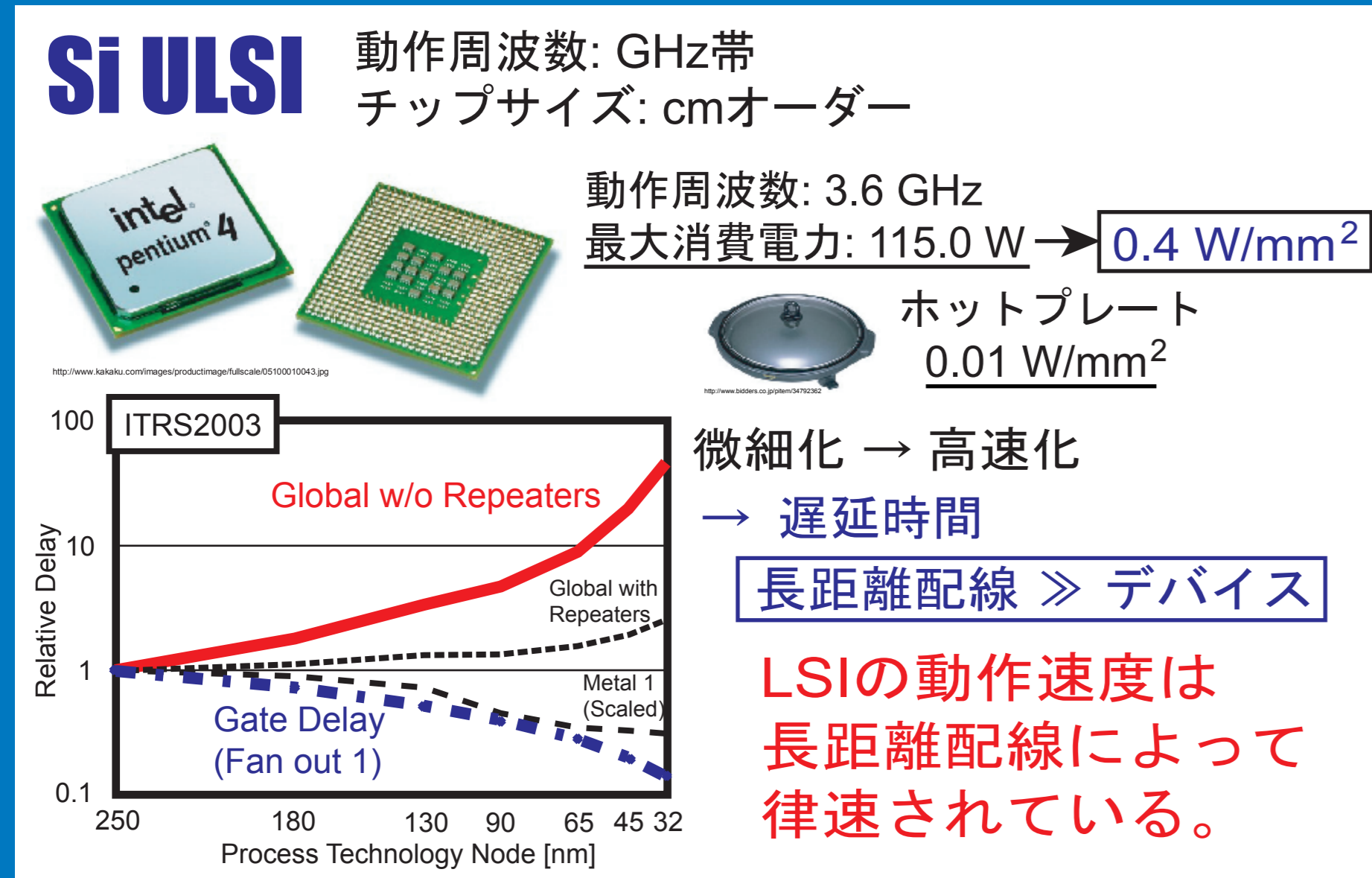


# オンチップ伝送線路配線の設計および評価

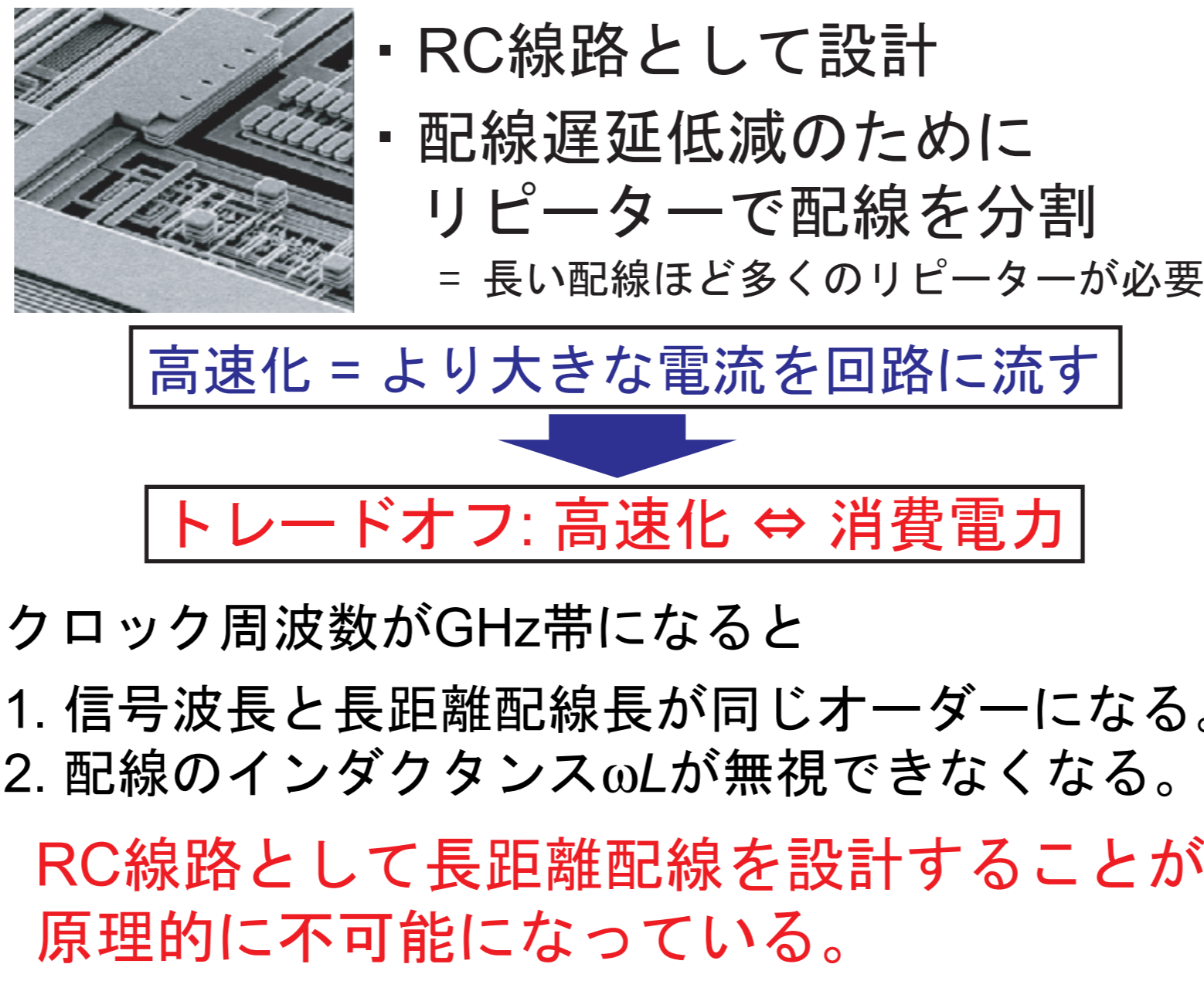
Design and Estimation of On-Chip Transmission Line Interconnect

伊藤浩之, 杉田英之, 木村実人, 清田淳紀, 岡田健一, 益一哉

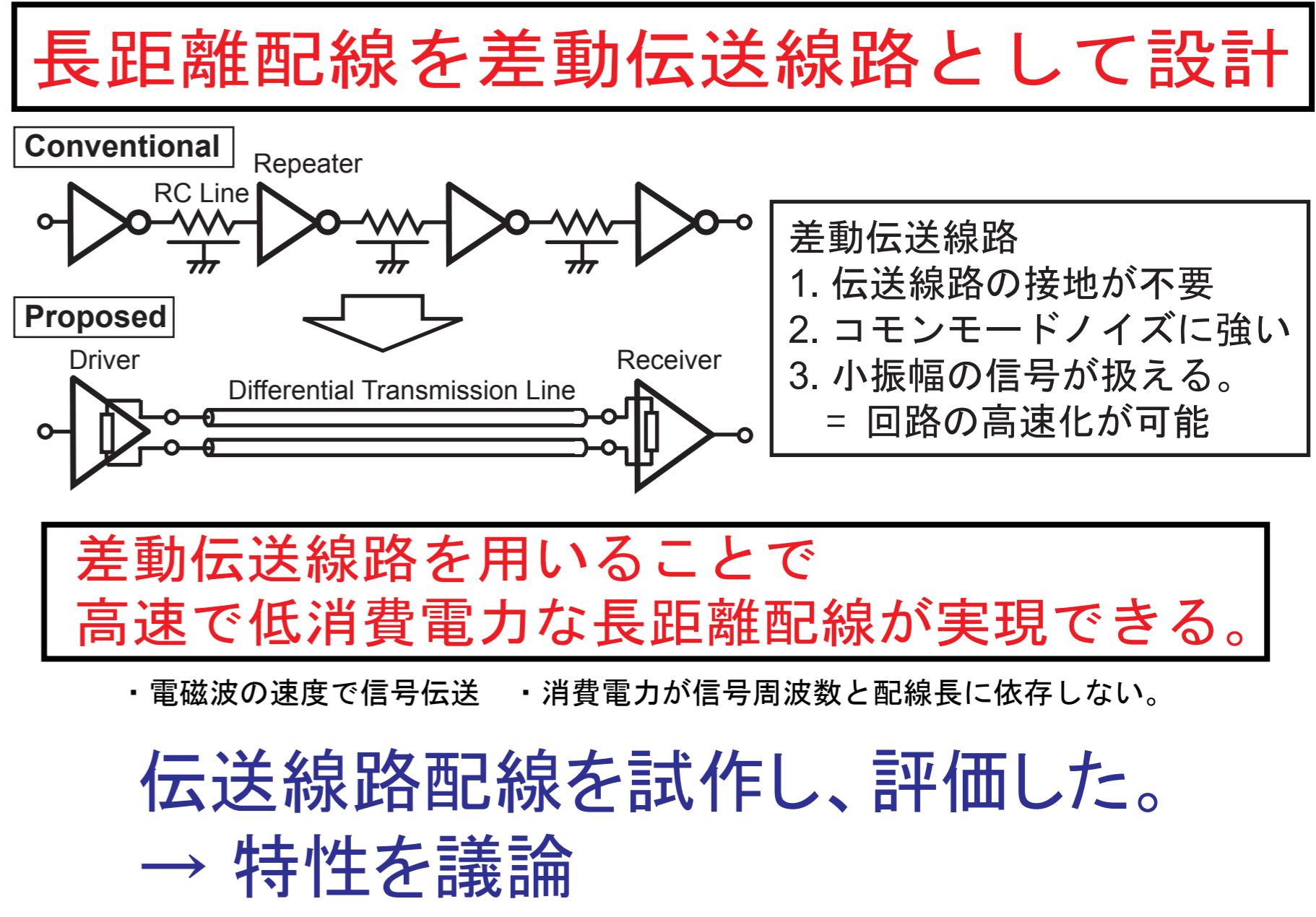
## Background



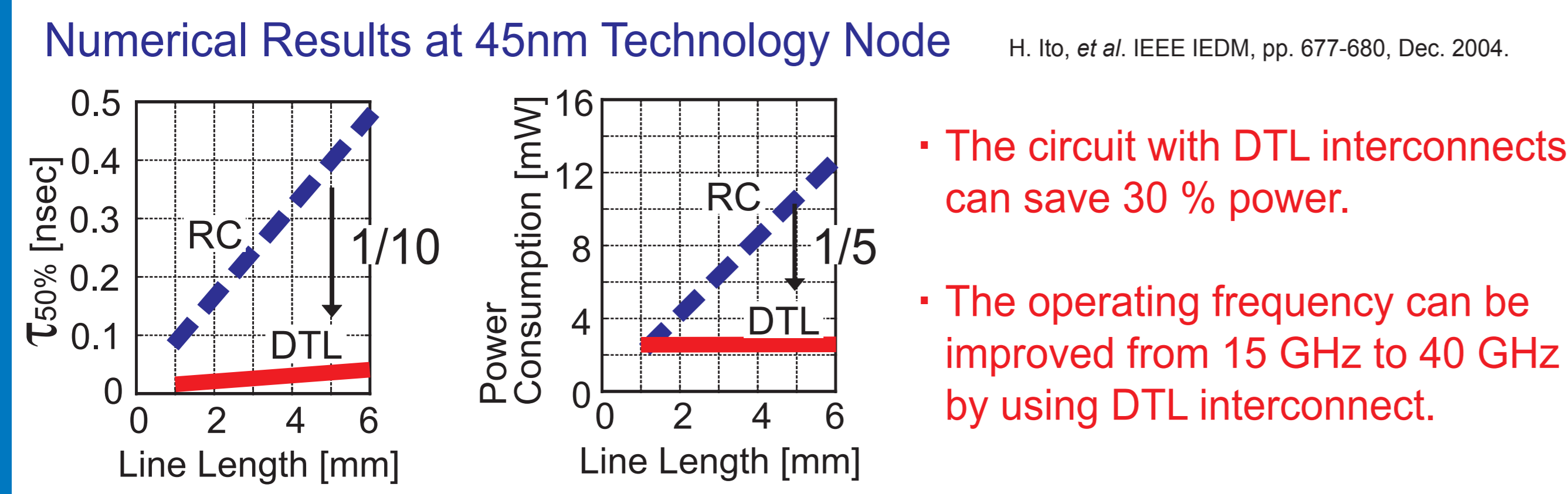
## Global Interconnect



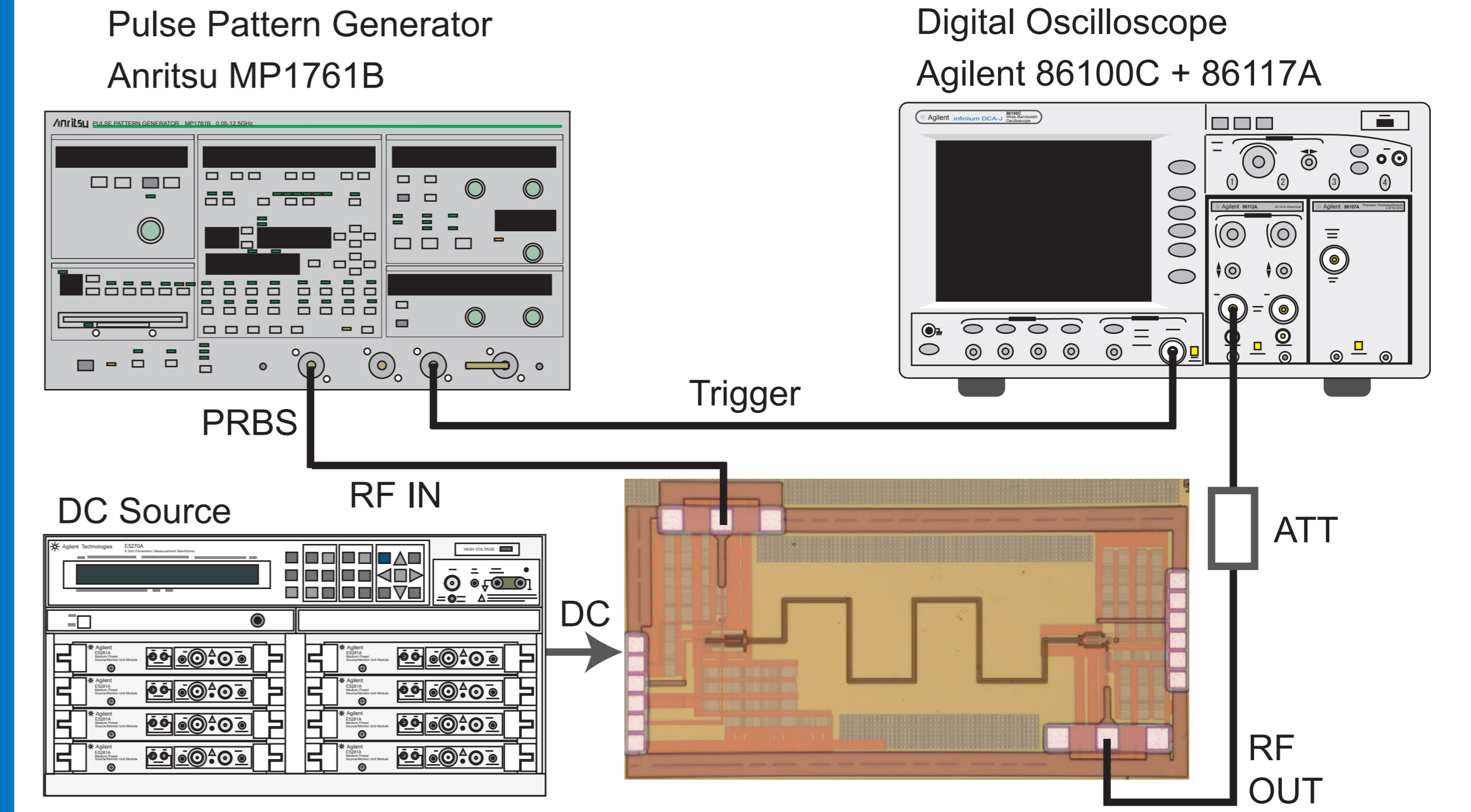
## Purpose



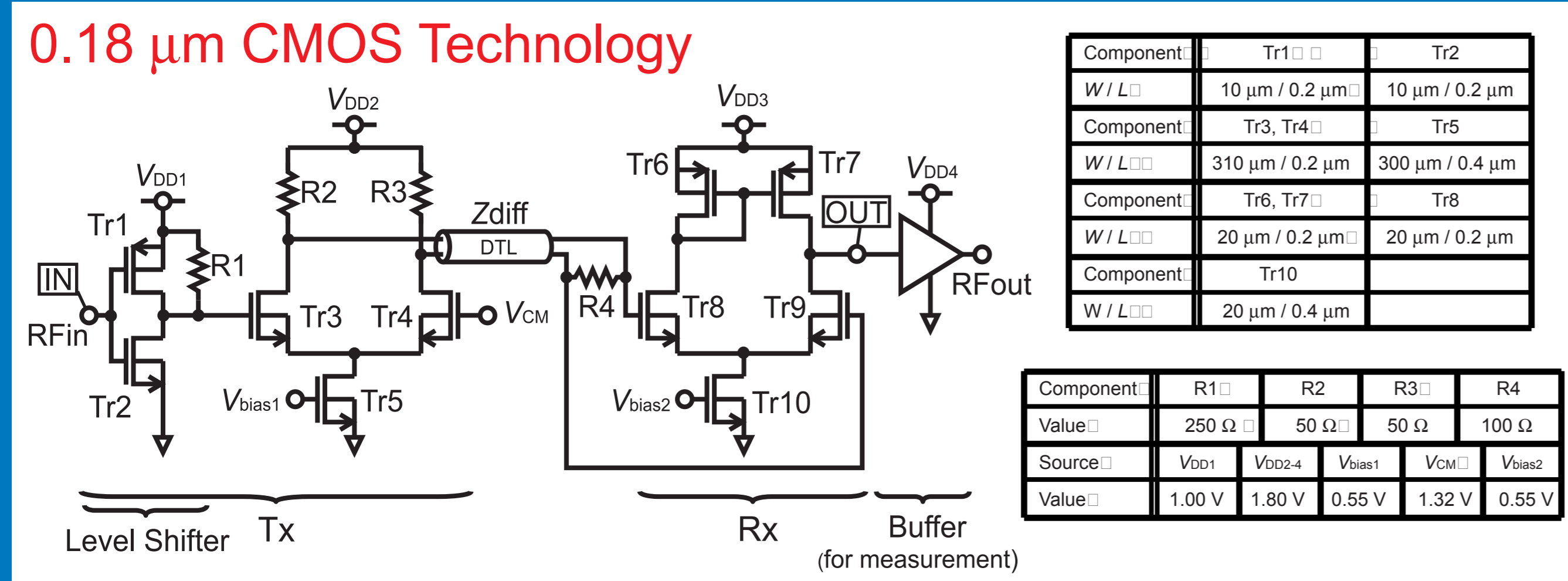
## Impact



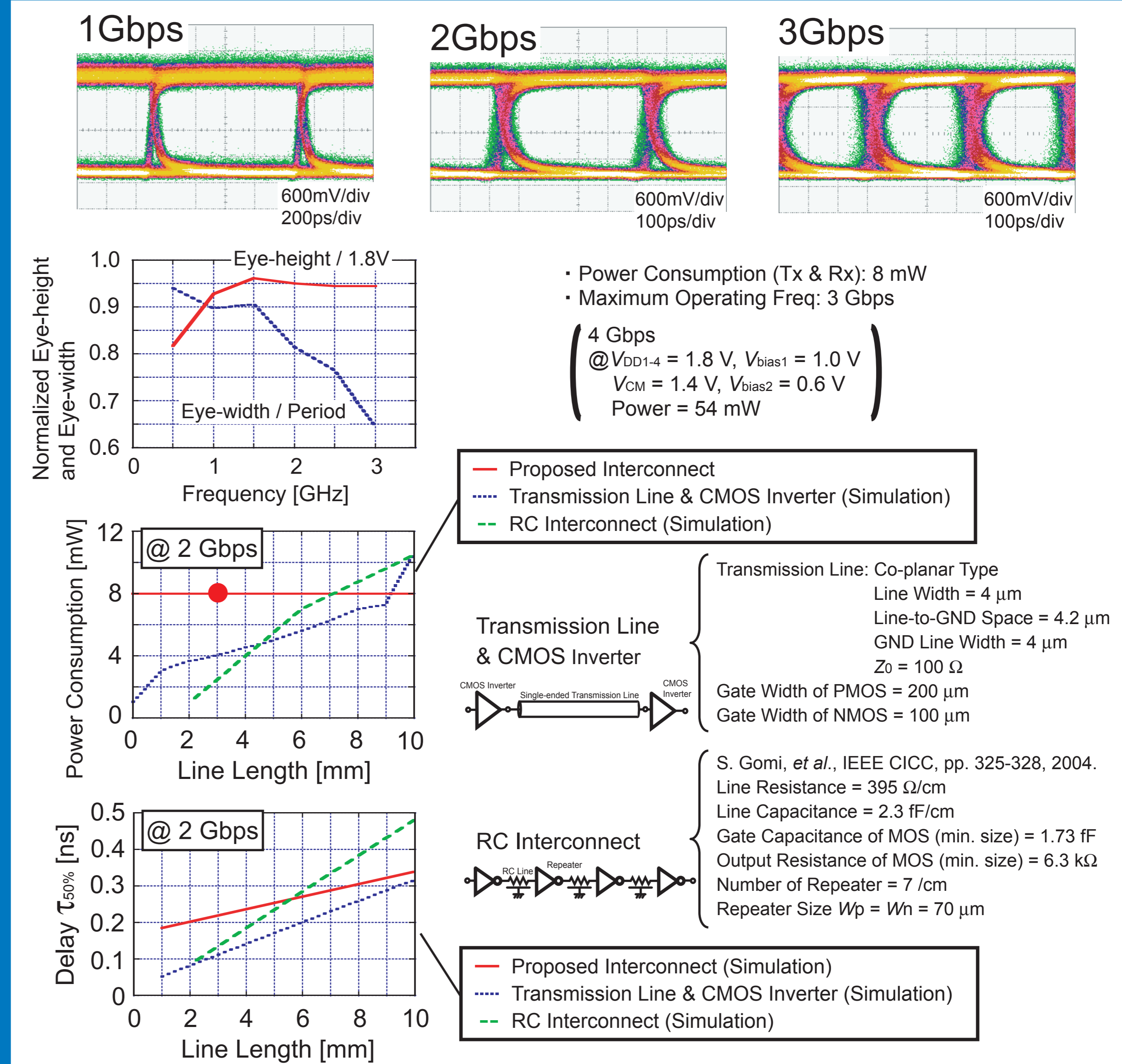
## Measurement System



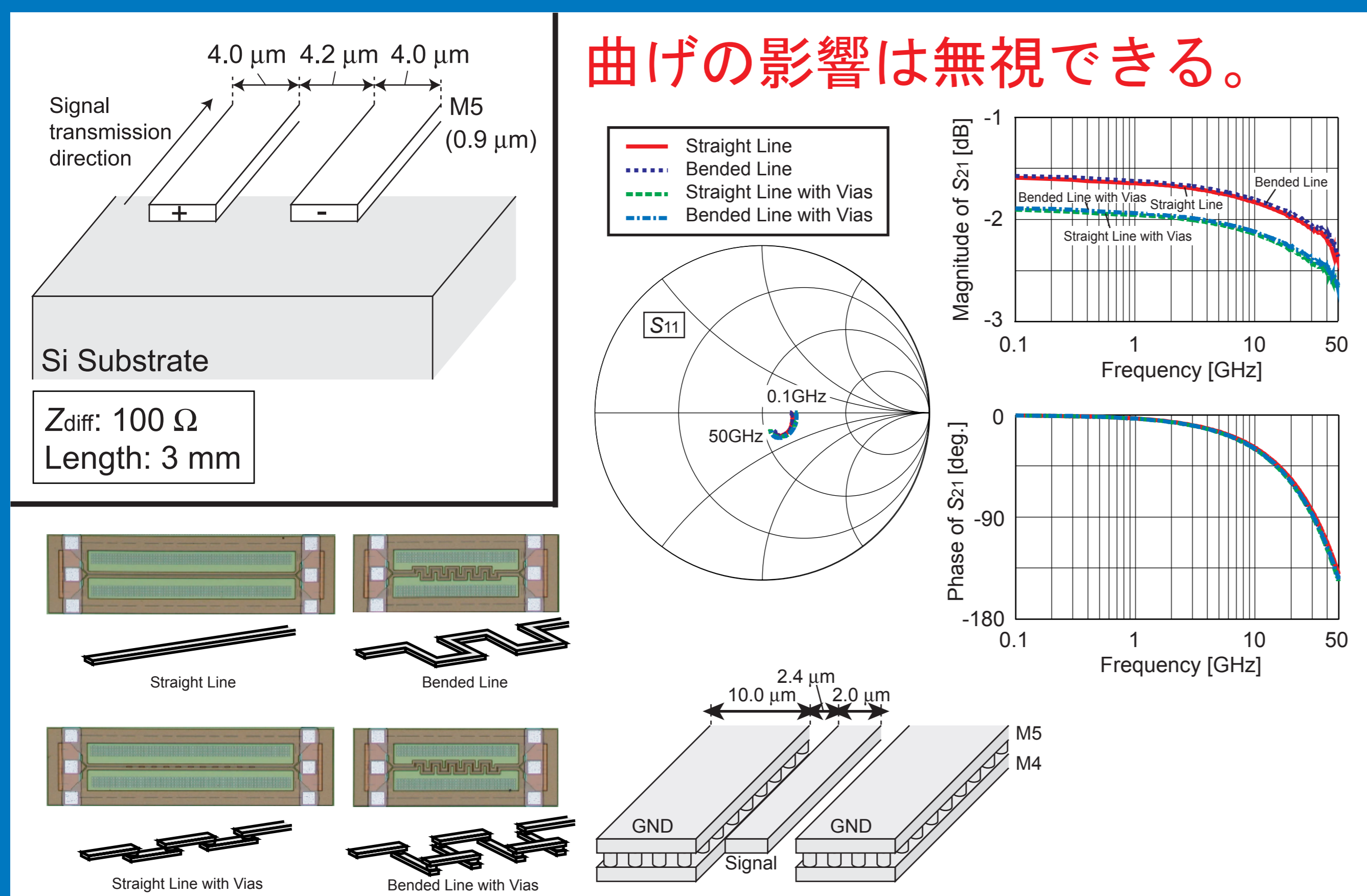
## Schematic



## Results



## Transmission Line



## Conclusion

- 本研究の目的は、LSIの高速化と低消費電力化を達成するために、高速かつ低消費電力なオンチップ伝送線路配線を開発することである。
- 0.18  $\mu\text{m}$  CMOSテクノロジーにおいて伝送線路配線を試作し、最大4Gbpsで信号伝送を達成した。
- 提案する伝送線路配線は、2Gbps動作時に7mm以上の配線長で従来のRC配線よりも小さな消費電力と遅延を有していた。