

1. Background

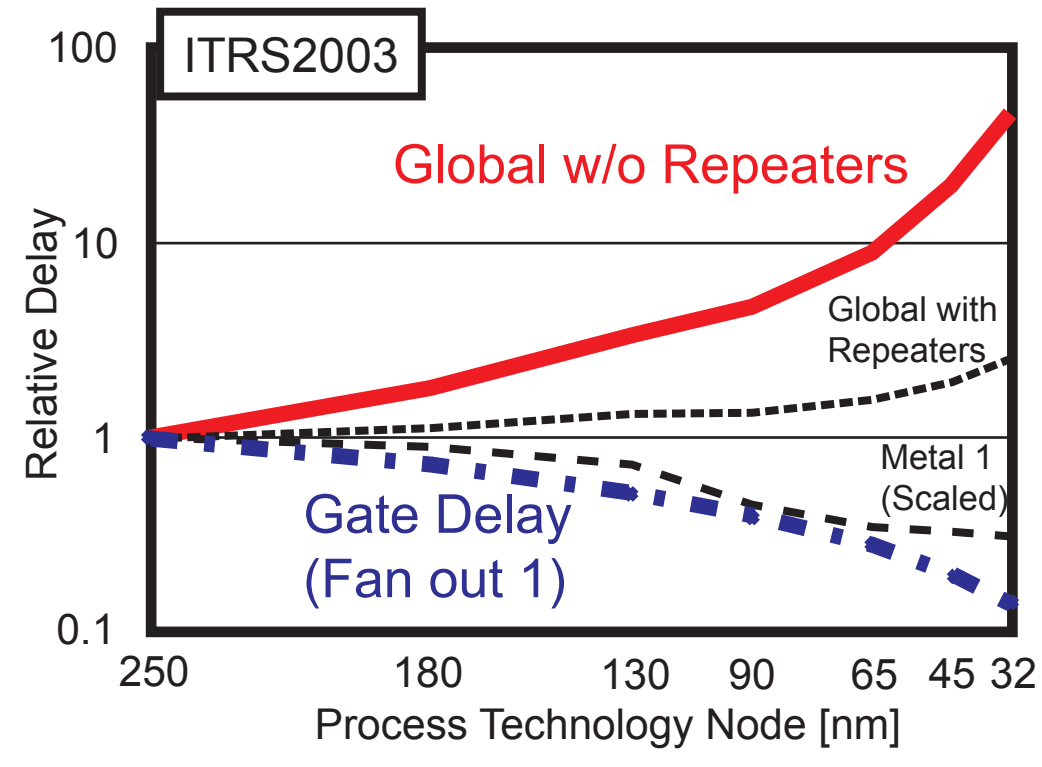
Si ULSI

微細化 → 高速化

遅延時間:

長距離配線 ≫ デバイス

LSIの性能は長距離配線によって律速されている。



Global Interconnect

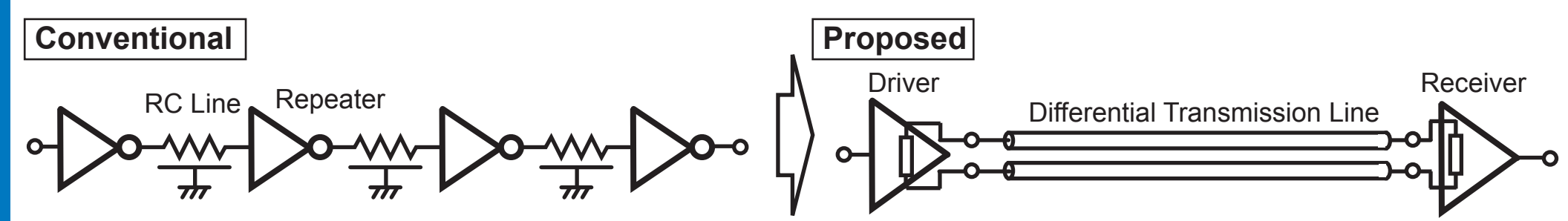
- RC線路として設計されている。
- リピーターによる分割 → 高速化

高速化 = より大きな電流を回路に流す必要がある。

トレードオフ: 高速化 ⇔ 消費電力

Proposal

長距離配線に差動伝送線路を適応させる。

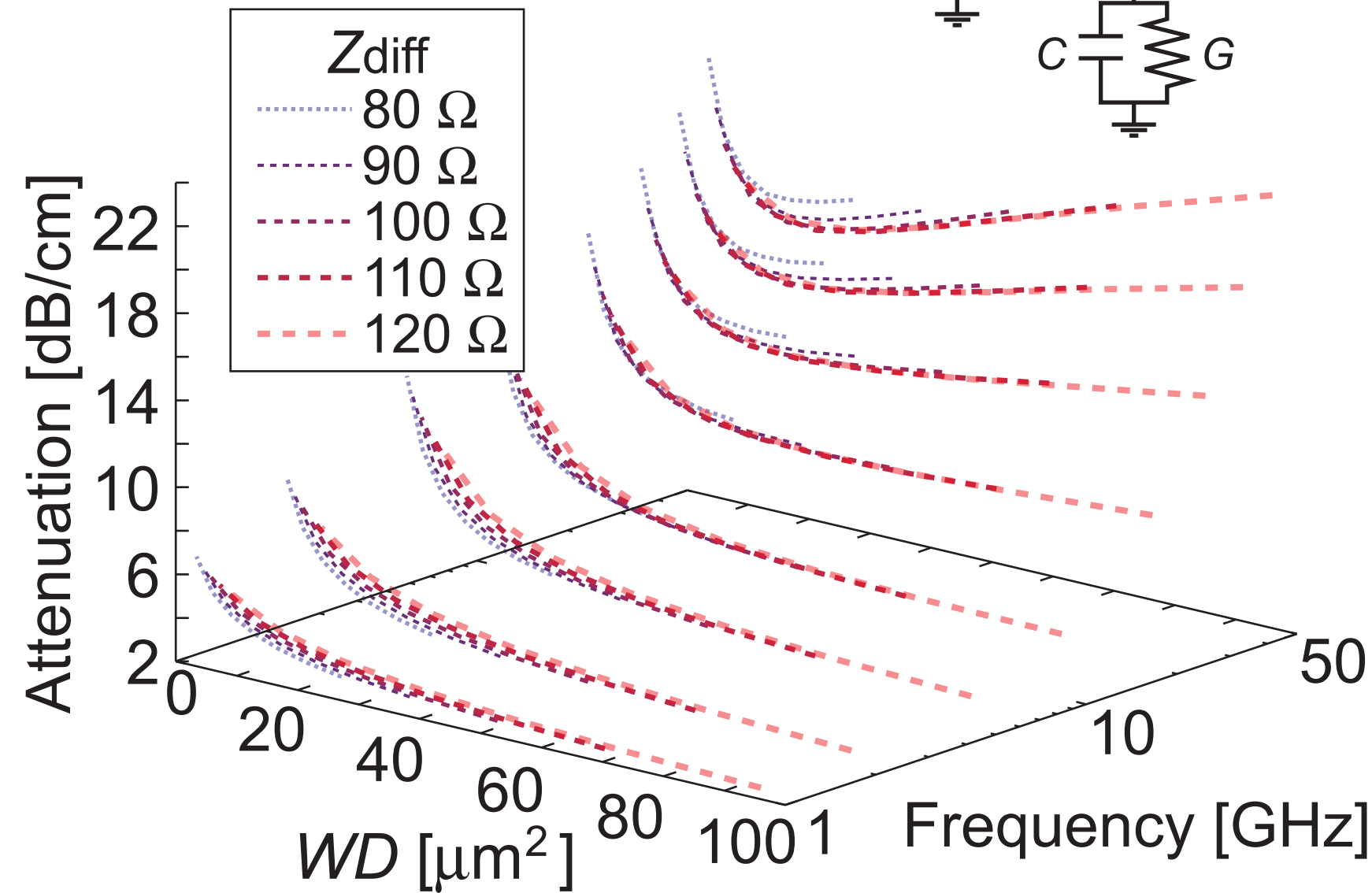
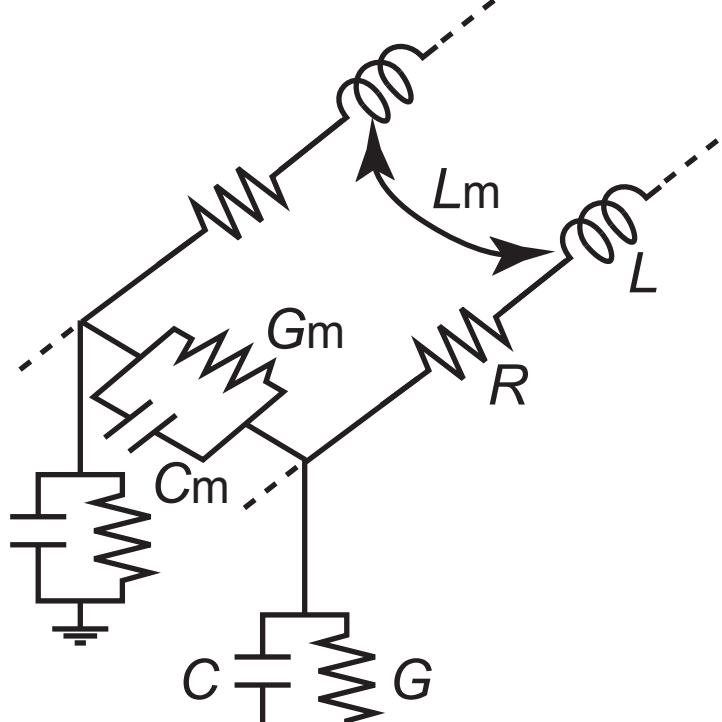
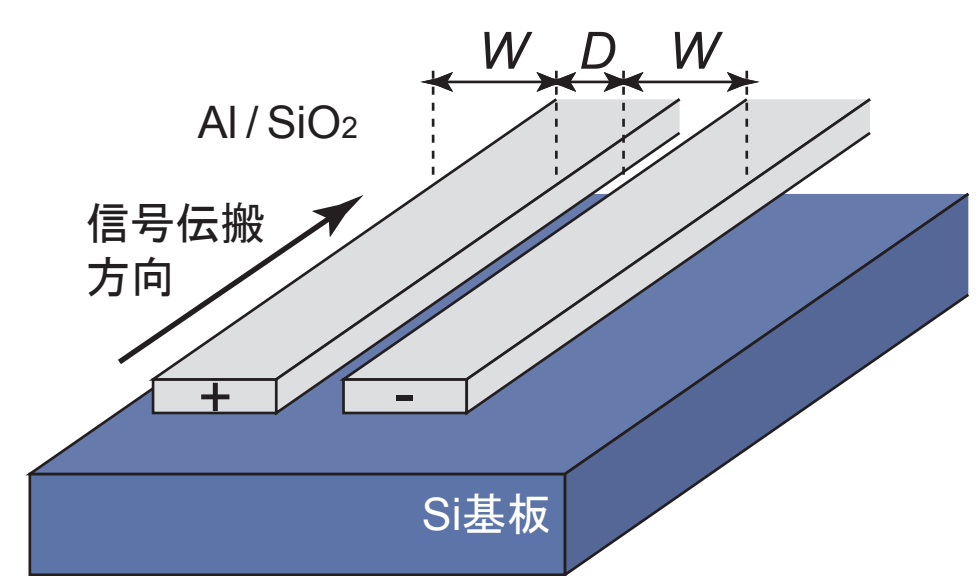


長距離配線(数mm~数cm)1本: 数Gbps伝送を数mWで達成する。従来配線を伝送線路に置き換える。

→ 高速で低消費電力なLSIを実現する。

2. Differential Transmission Line

信号減衰と線路構造の関係



- 0.35 μm CMOSプロセスを参考
- M1厚 = 0.7 μm, M2厚 = 0.6 μm, M3厚 = 0.9 μm, ILD厚 = 1.0 μm
- SiO2のεr, tanδの周波数依存性は無視
- Si基板の抵抗率 = 2 Ω·cm
- W = 2.0 ~ 6.0 μm
- Zdiff = 80 ~ 120 Ω (Dで調整)
- Ansoft 2D Extractor
- 配線のRLGCパラメータを抽出
- ディファレンシャルモードの減衰定数を計算
- 単位長さあたりの信号減衰量

信号減衰量と配線パラメータの関係

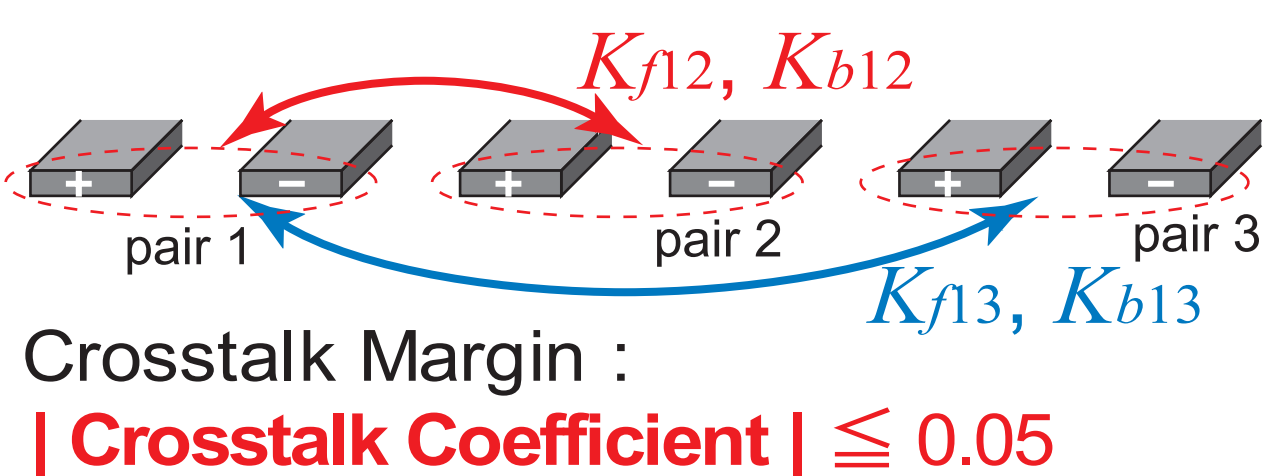
$$\alpha_{diff} = \frac{1}{2} \left(\frac{R_{diff}}{Z_{diff}} + G_{diff} Z_{diff} \right)$$

$$R_{diff} \propto \frac{1}{W}, G_{diff} \propto W, Z_{diff} \propto d$$

Si基板の差動伝送線路の信号減衰量は、ほぼ配線幅(W)と配線間隔(D)の積に依存する。
...WD積

Diagonal-pair Lineの提案

...クロストークと配線密度のトレードオフを解決



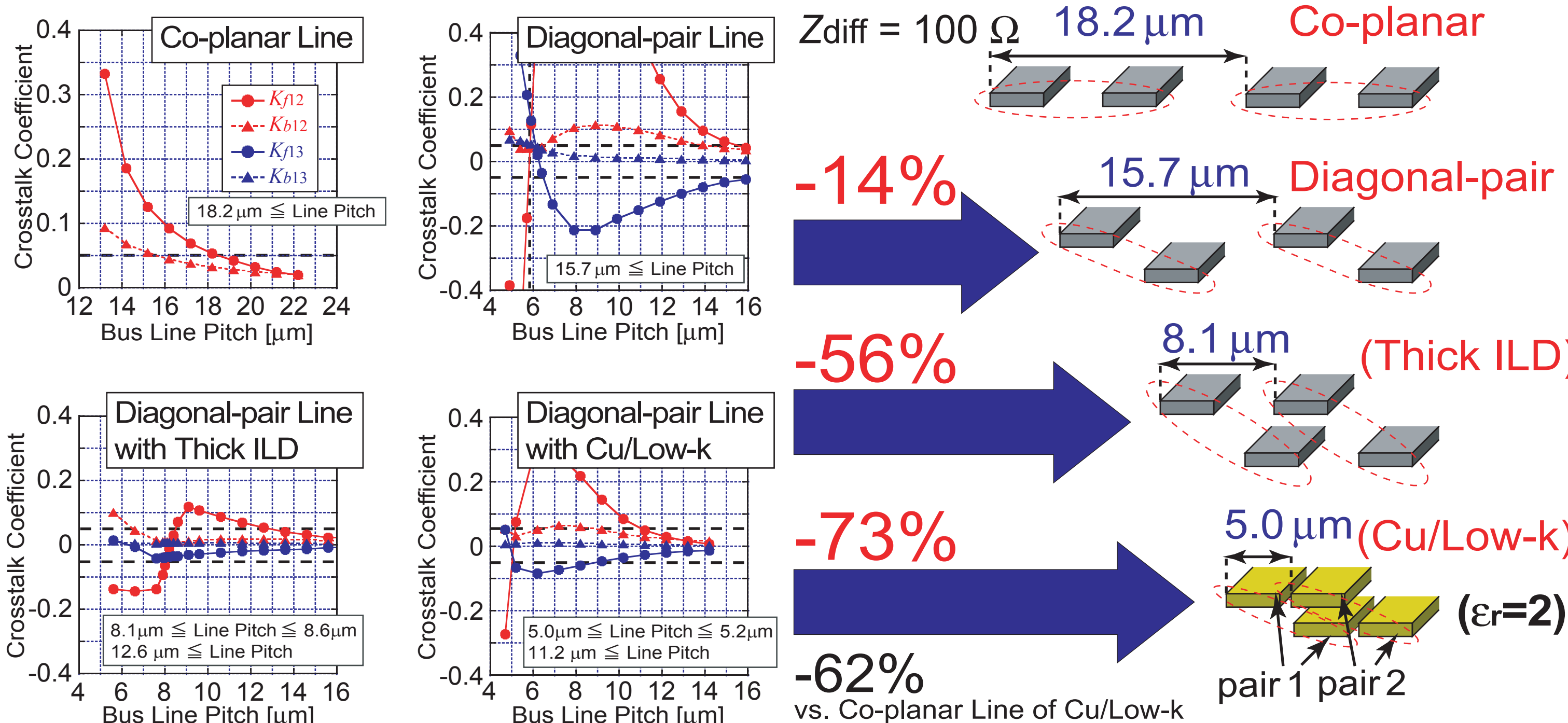
Backward Crosstalk Coefficient: $K_b = \frac{1}{4} \left(\frac{C_{ij}}{\sqrt{L_{ij}C_{ij}}} + \frac{L_{ij}}{\sqrt{L_{ij}C_{ij}}} \right)$

Forward Crosstalk Coefficient: $K_f = K_f' \times \ell / t_r$ @ Line Length ℓ : 1cm, Rise Time t_r : 10psec

$K_f' = \frac{1}{2} \left(\frac{C_{ij}}{\sqrt{L_{ij}C_{ij}}} - \frac{L_{ij}}{\sqrt{L_{ij}C_{ij}}} \right) \times \sqrt{\frac{L_{ij}C_{ij}}{L_{ij}C_{ij}}}$

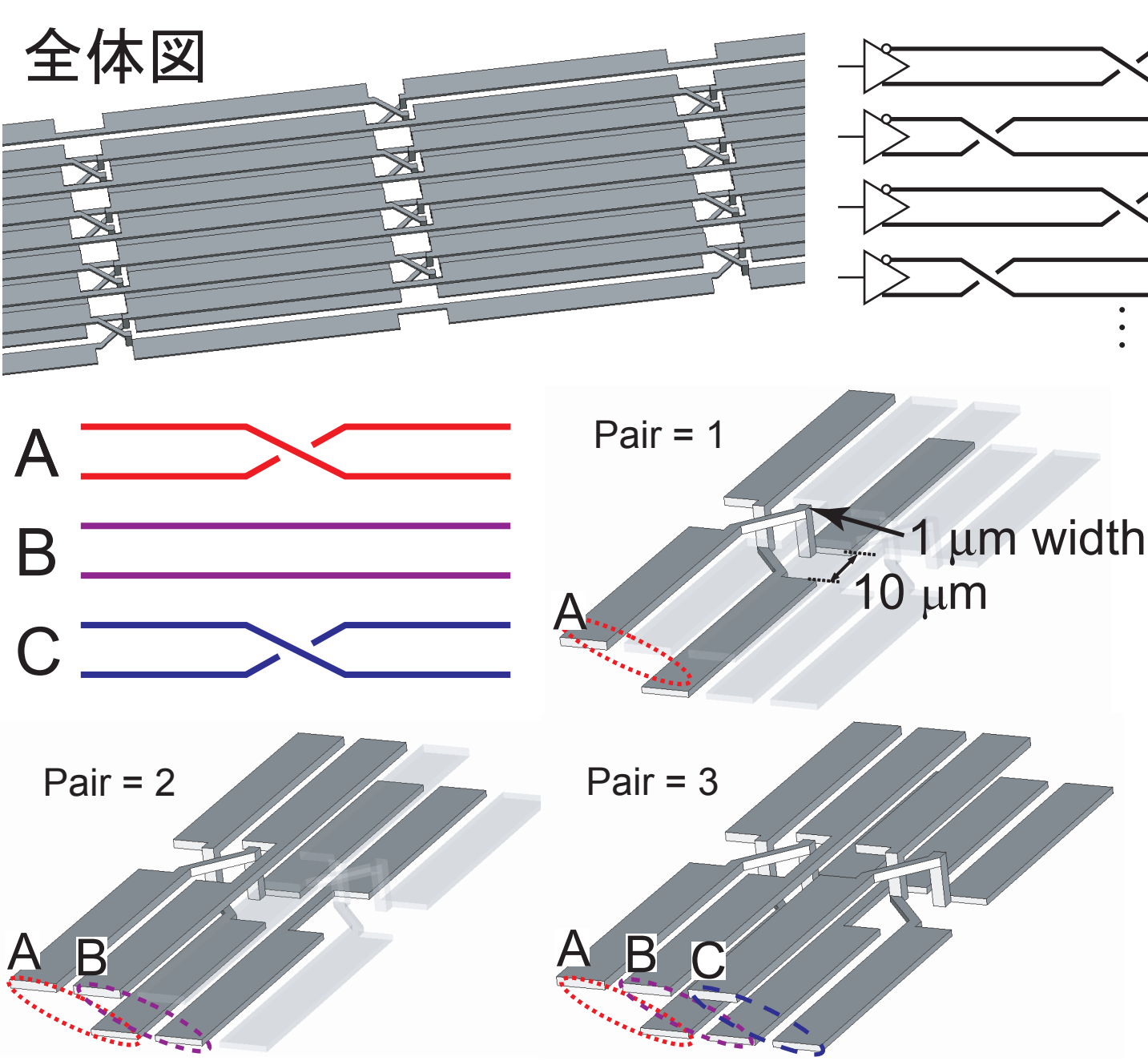
$L_{ij}, L_{ji}, C_{ij}, C_{ji}$: Individual Inductance, Capacitance
 L_{ij}, C_{ij} : Mutual Inductance, Capacitance

Crosstalk Margin: |Crosstalk Coefficient| ≤ 0.05

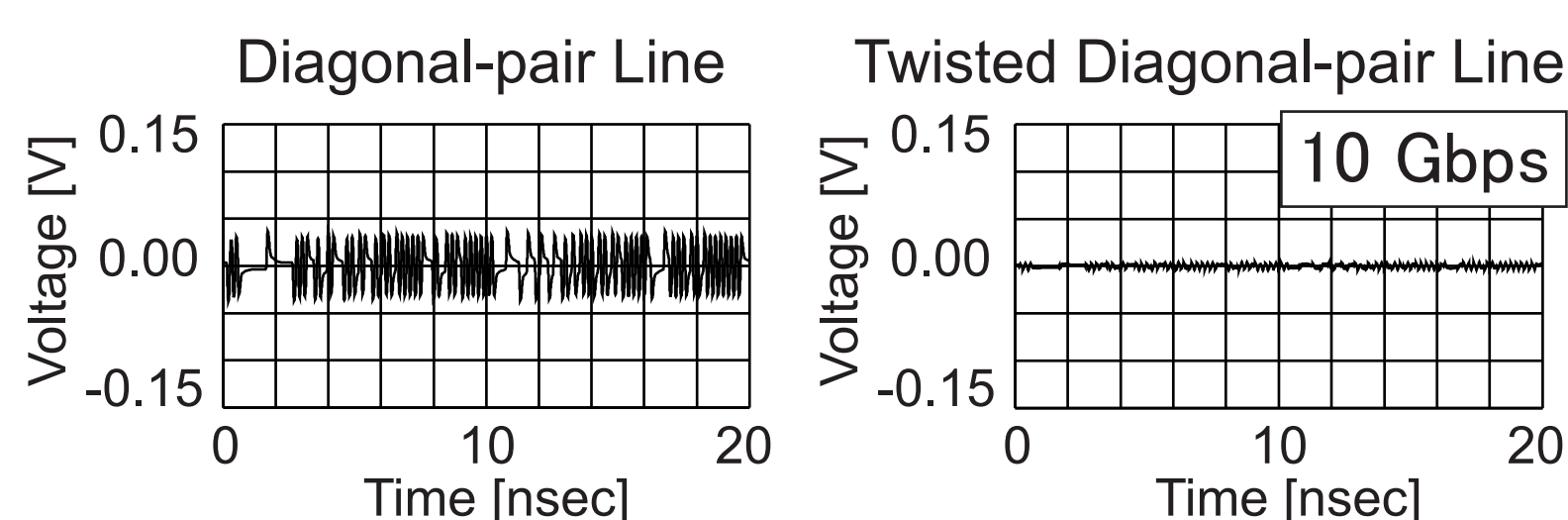


縷り線構造

長距離配線の高速化・高密度化・高クロストーク耐性化・低EMIノイズ化

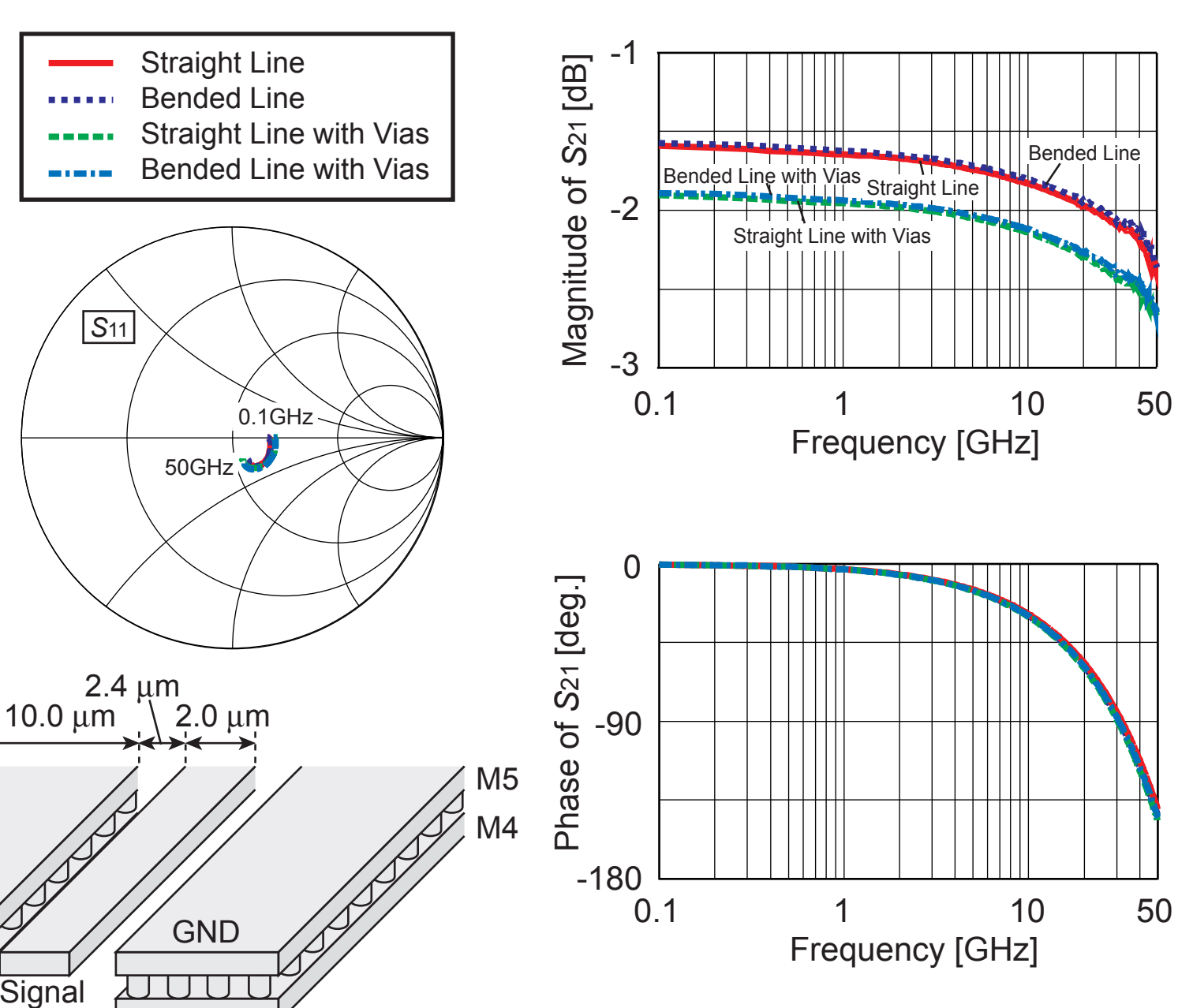
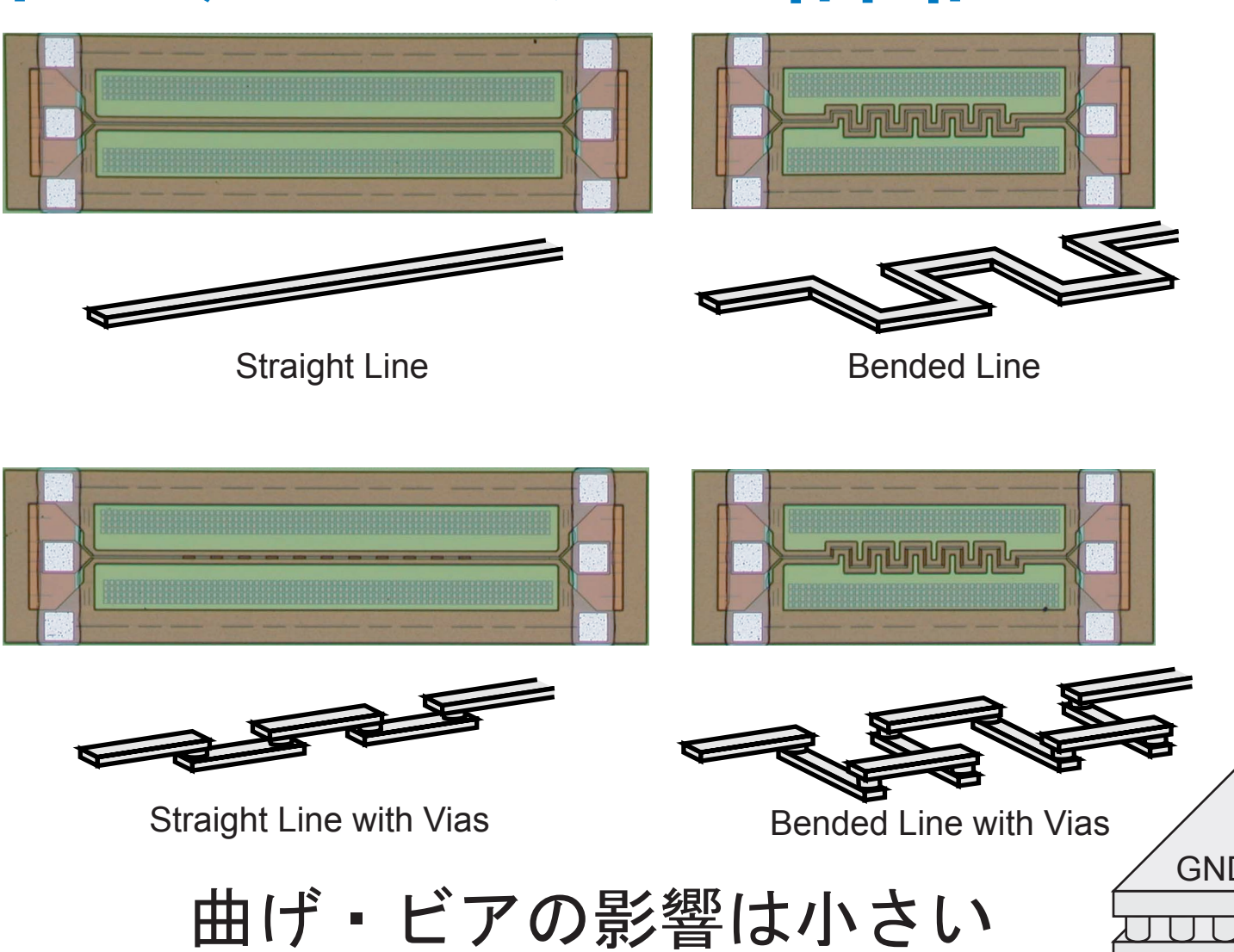


- EMIの原因となる共通モード成分: 配線を縷り合わせることで低減する。(差動対を構成する配線の損失を均一にする。)
- 互い違いに縷り合わせることで、高クロストーク耐性化が可能となる。(DRAMのビット線の手法を導入)

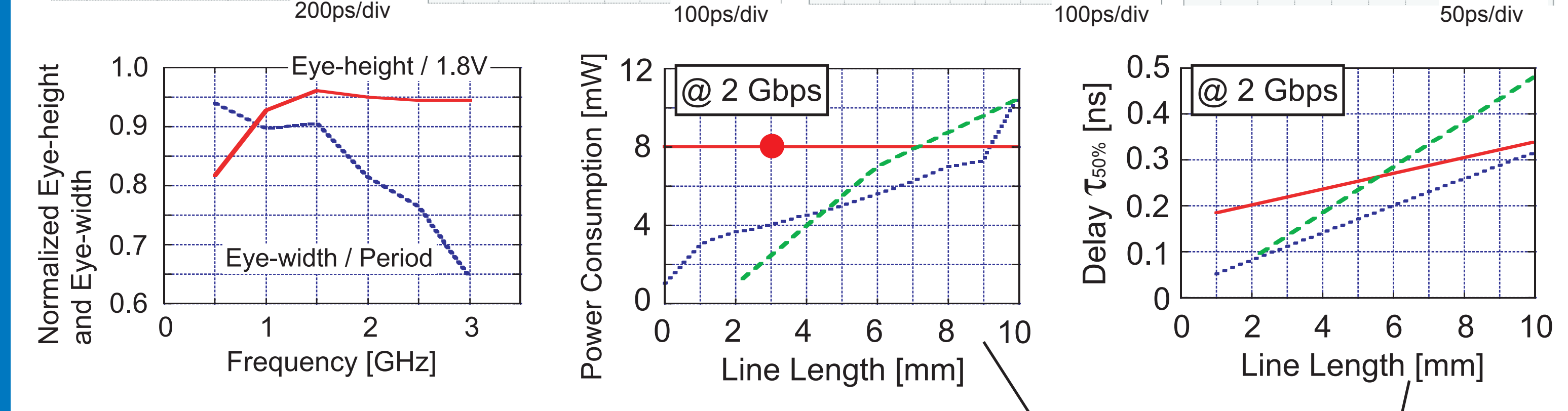
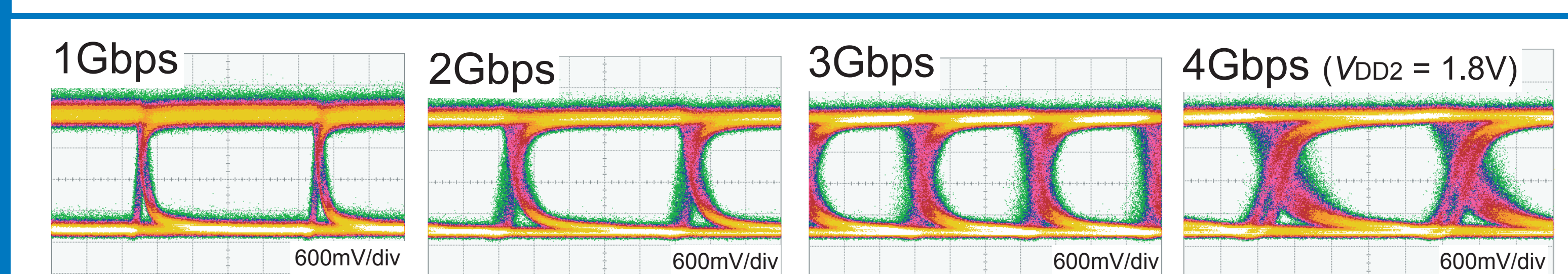
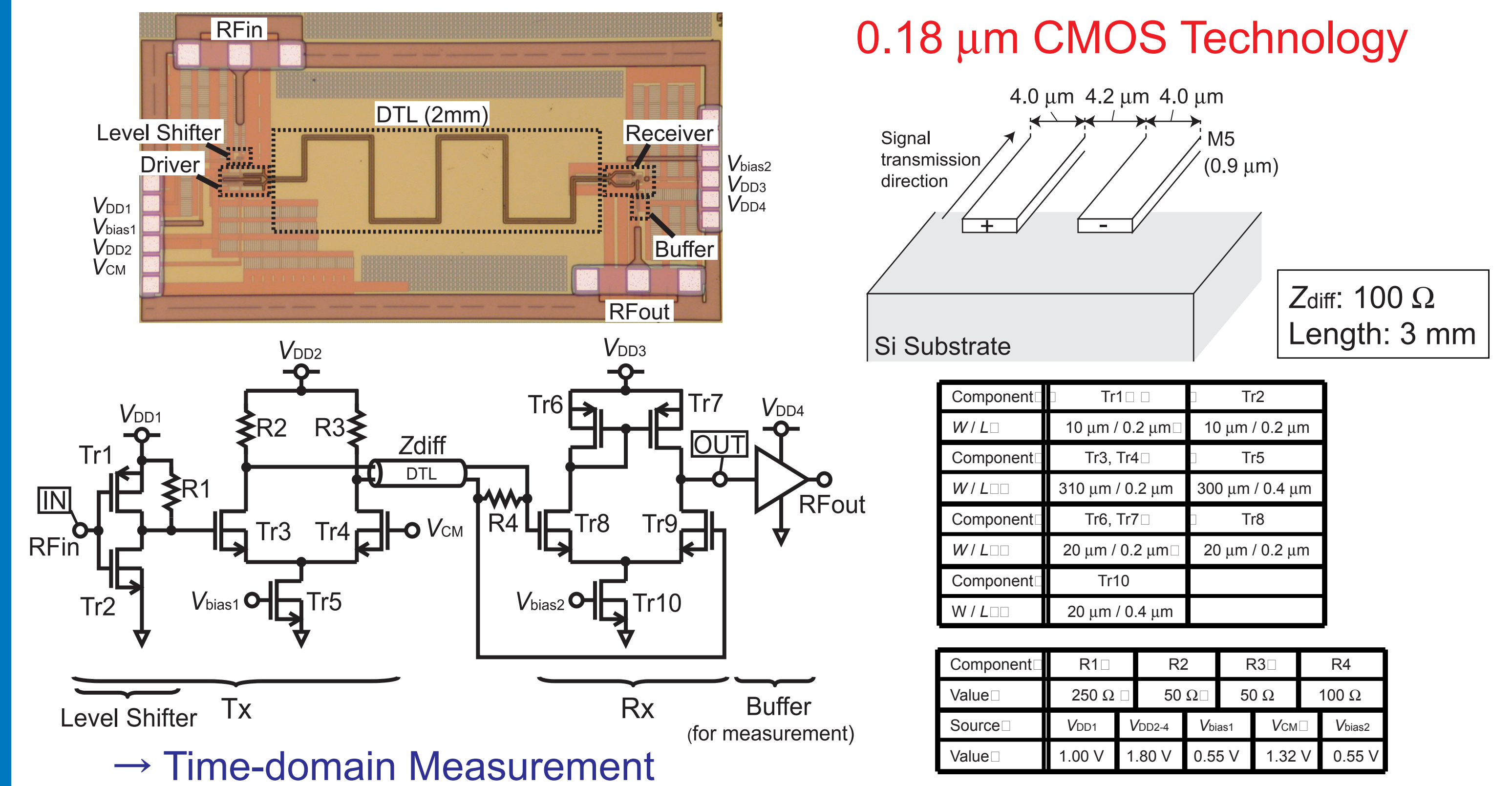


RC線路と比較して
共通モード電力を47dB削減

曲げ・ビアの評価



3. Transmission Line Interconnect



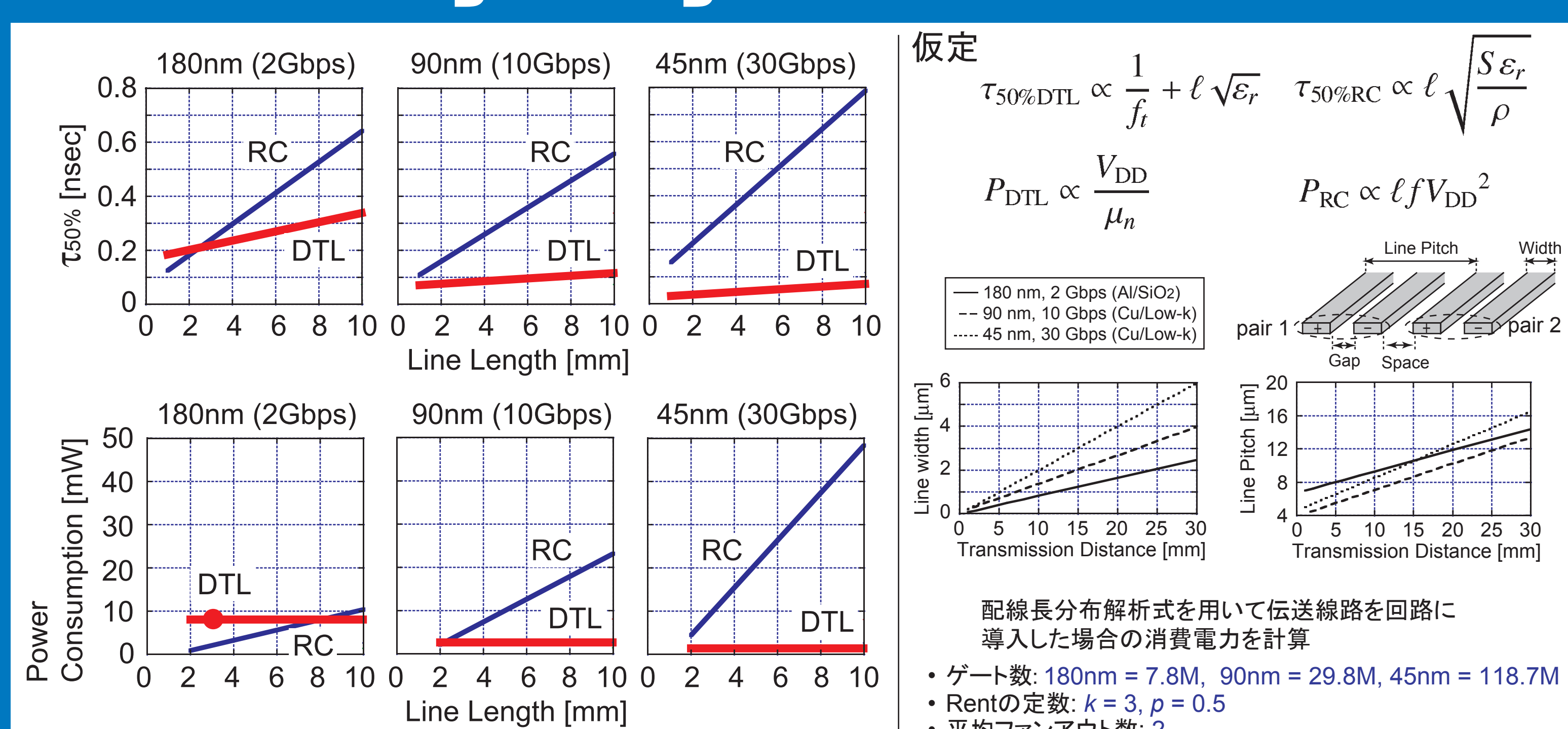
Power Consumption (Tx & Rx): 8 mW
Maximum Operating Freq @ VDD2=1V: 3 Gbps

(4 Gbps @ VDD1-4 = 1.8 V, Vbias1 = 1.0 V, VCM = 1.4 V, Vbias2 = 0.6 V, Power = 54 mW)

Transmission Line & CMOS Inverter: Co-planar Type, Line Width = 4 μm, Line-to-GND Space = 4.2 μm, GND Line Width = 4 μm, Zo = 100 Ω, Gate Width of PMOS = 200 μm, Gate Width of NMOS = 100 μm

RC Interconnect: S. Gomi, et al., IEEE CICC, pp. 325-328, 2004. Line Resistance = 395 Ω/cm, Line Capacitance = 2.3 fF/cm, Gate Capacitance of MOS (min. size) = 1.73 fF, Output Resistance of MOS (min. size) = 6.3 kΩ, Number of Repeater = 7 / cm, Repeater Size Wp = Wn = 70 μm

4. Feasibility Study



仮定: $\tau_{50\%DTL} \propto \frac{1}{f_i} + \ell \sqrt{\epsilon_r}$, $\tau_{50\%RC} \propto \ell \sqrt{\frac{S \epsilon_r}{\rho}}$

$P_{DTL} \propto \frac{V_{DD}}{\mu_n}$, $P_{RC} \propto \ell f V_{DD}^2$

配線長分布解析式を用いて伝送線路を回路に導入した場合の消費電力を計算

- ゲート数: 180nm = 7.8M, 90nm = 29.8M, 45nm = 118.7M
- Rentの定数: k = 3, p = 0.5
- 平均ファンアウト数: 2
- チップ面積: 3.1cm²
- グローバル層の数: 180nm = 4, 90nm = 5, 45nm = 7
- 伝送線路配線の配線層数: 3



実設計の結果から将来の各テクノロジーノードにおける伝送線路配線の性能を計算。伝送線路配線を用いることで45nmテクノロジーノードで消費電力を30%削減でき、動作周波数を15GHzから40GHzにまで向上させることができる。

5. Summary and Conclusion

- 長距離配線に差動伝送線路を適応させることでLSIの高速化と低消費電力化を達成する手法を提案した。
- オンチップ伝送線路の性能評価を行い、また高密度・高クロストーク耐性を有するDiagonal-pair Lineを用いたバスライン構造と縷り線構造を提案した。
- 0.18μm CMOSプロセスを用いて伝送線路配線を試作し、4Gbpsの信号伝送を達成した。
- 実設計結果をもとに将来のテクノロジーノードにおける伝送線路配線の性能を計算した。その結果、伝送線路配線を用いることで45nmテクノロジーノードにおいて消費電力を30%削減でき、動作周波数を15GHzから40GHzにまで向上できる可能性があることがわかった。
- 伝送線路配線は将来の超高速で低消費電力なLSI実現のためには必要不可欠な技術であると考えられる。