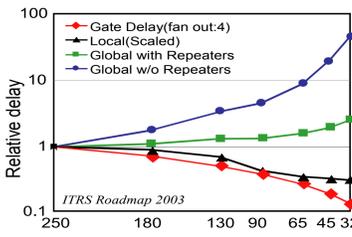


# 1. Background

Si ULSI : 大規模化 & 高速化



テクノロジーノードの進歩により

- ゲート遅延 → 減少
- ローカル配線遅延 → 減少
- グローバル配線遅延 → 増加

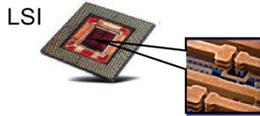
LSIの性能は配線に律速される

# 2. Wire Length Distribution (WLD)

## 配線長分布

配線に着目し、配線の長さや本数の関係より回路性能を予測する。回路特性がどのような傾向を持つのかを検証する。

経験則より導出される解析式 → 実チップの配線本数を予測

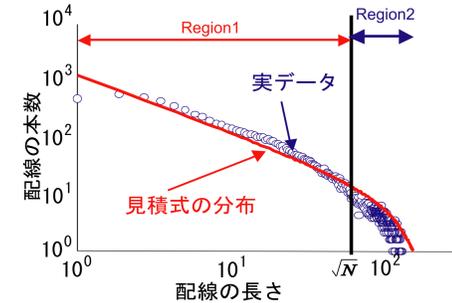


応用手段

- 消費電力、動作周波数の見積もり
- Xアーキテクチャの性能見積もり
- 配置効率の最適化 etc...

物理設計を考慮したLSIの性能評価

配線データを抽出



$l(l)$ : 配線本数  
 $k, p$ : Rentの定数  
 $f_{out}$ : 平均ファンアウト  
 $N$ : ゲート数

見積式

$$Region1: l < \sqrt{N}$$

$$i(l) = \frac{\alpha k}{2} \Gamma \left( \frac{l^3}{3} - \sqrt{2N} l^2 + 2Nl \right) l^{2p-4} \quad (1)$$

$$Region2: \sqrt{N} \leq l < \sqrt{N}$$

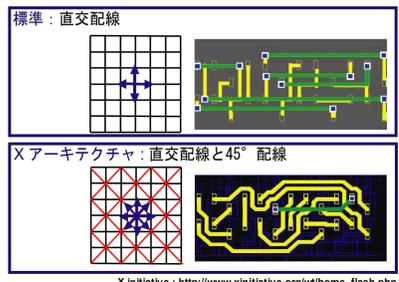
$$i(l) = \frac{\alpha k}{6} \Gamma \left( 2\sqrt{N} - l \right)^3 l^{2p-4} \quad (2)$$

$$\Gamma = \frac{2N(1-N^{p-1})}{-N^p \frac{1+2p-2^{2p-1}}{p(2p-1)(p-1)(2p-3)} \frac{1}{6p} \frac{2\sqrt{N}-N}{2p-1} \frac{N}{p-1}} \quad \alpha = \frac{f_{out}}{f_{out}+1}$$

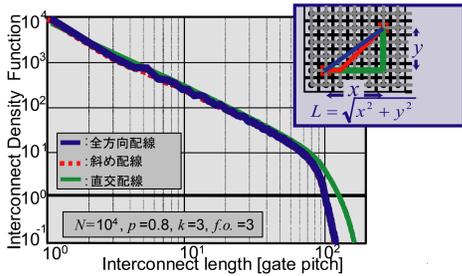
解析式: J. Davis et al., IEEE ED, vol 45, 580-589, 1998.

# 3. X architecture

X配線により配線長減少

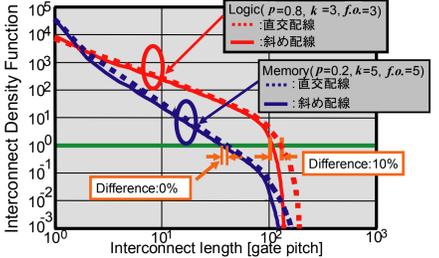


全方向配線とXアーキテクチャの配線長分布の比較



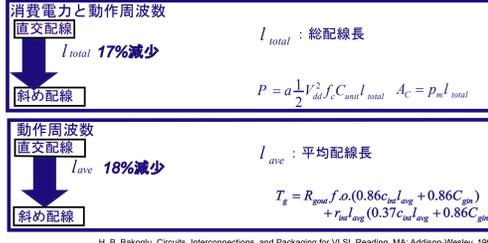
全方向配線と斜め配線の効果の差はほぼない。  
 → 配線を全方位にする必要はない。

logicとmemoryにおける直交配線とXアーキテクチャの配線長分布の比較



回路が複雑になるにつれ、長い配線が減少するので、斜め配線の効果は大きい。

回路性能



直交配線と比較した結果...  
 消費電力とチップ面積は17%削減  
 動作周波数は18%向上

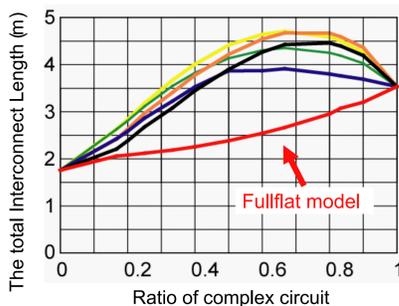
# 4. WLD of SoC

IPベースのLSI設計

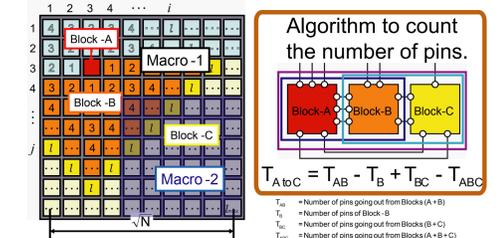
機能ごとに部品としてLSIを設計し、再利用する。  
 → 設計期間が減少する  
 → コスト削減  
 今後さらにIPの数は増加する傾向にある。

従来の配線長分布は単一機能においてのみ成立する。

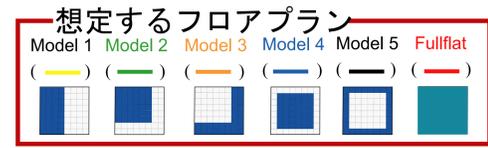
→ 配線長分布モデルを拡張



複数の機能ブロックを持った配線長分布の導出方法



LSIの性能は配線に律速 → 総配線長での比較

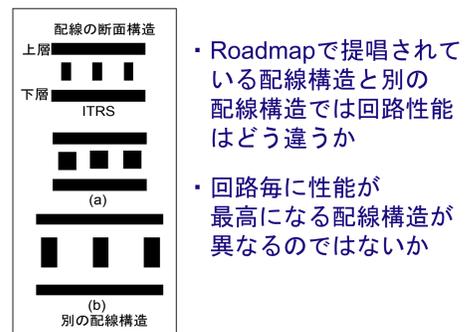


Complex Circuit ( $p=0.7, k=3, f_{out}=2$ )  
 Simple Circuit ( $p=0.3, k=5, f_{out}=4$ )

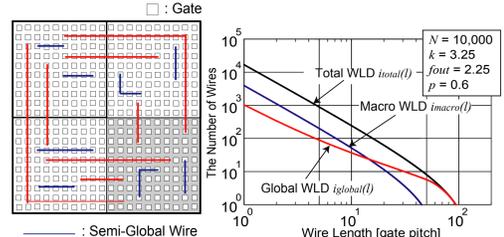
フロアプランによって最大約28%, 総配線長に差が生まれる。

# 5. Optimizing Interconnect Structure

回路性能を律速するグローバル配線の配線構造を変化させる。

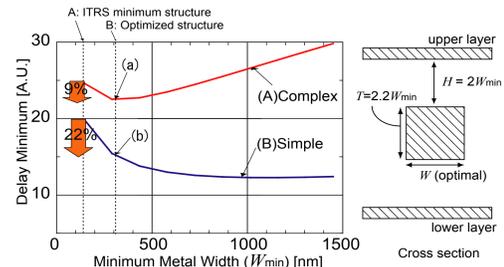
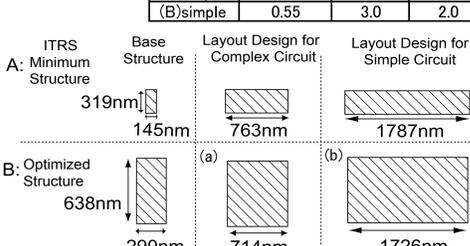


- Roadmapで提唱されている配線構造と別の配線構造では回路性能はどう違うか
- 回路毎に性能が最高になる配線構造が異なるのではないか



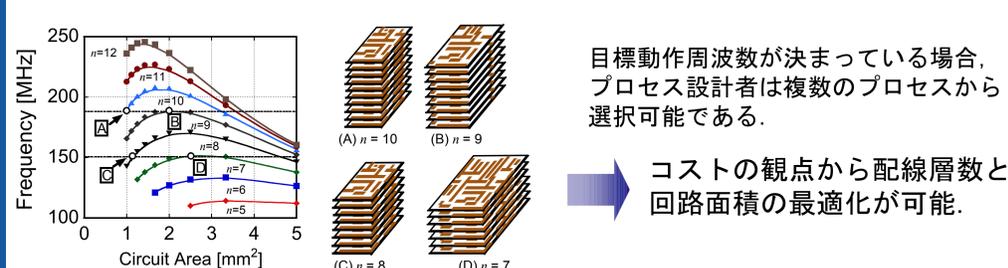
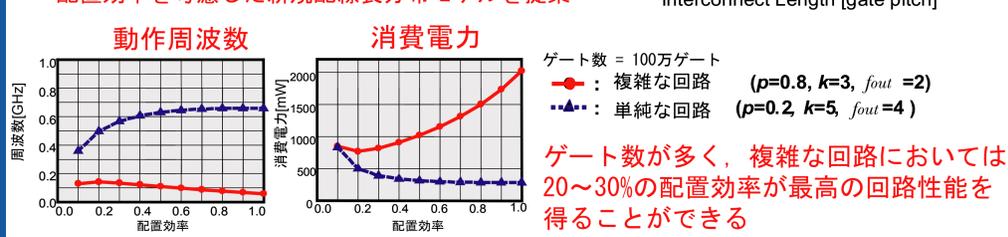
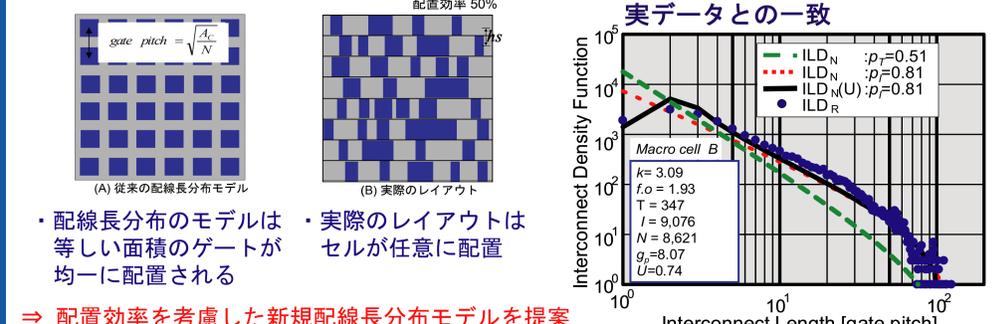
全体の配線長分布から各マクロの配線長分布を引くことでマクロ間を接続する配線長分布を導出する

回路の仮定



∴ 回路ごとに最適な配線構造は存在する。

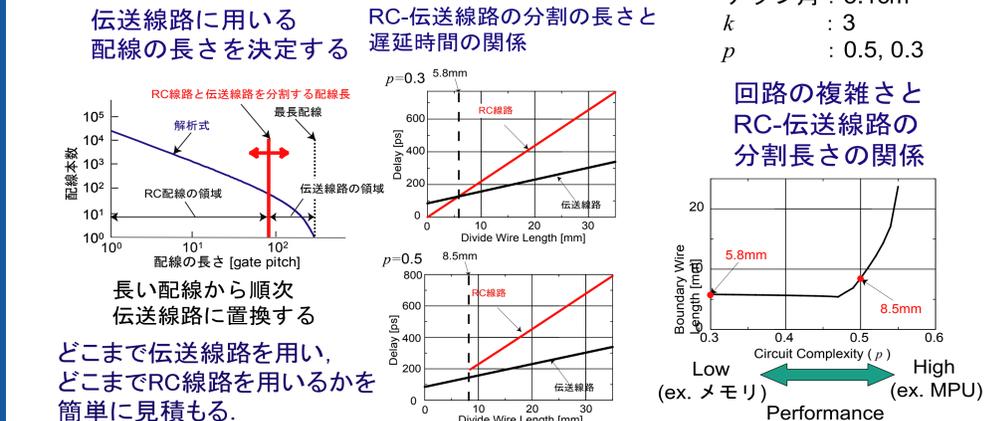
# 6. WLD Considering Core Utilization



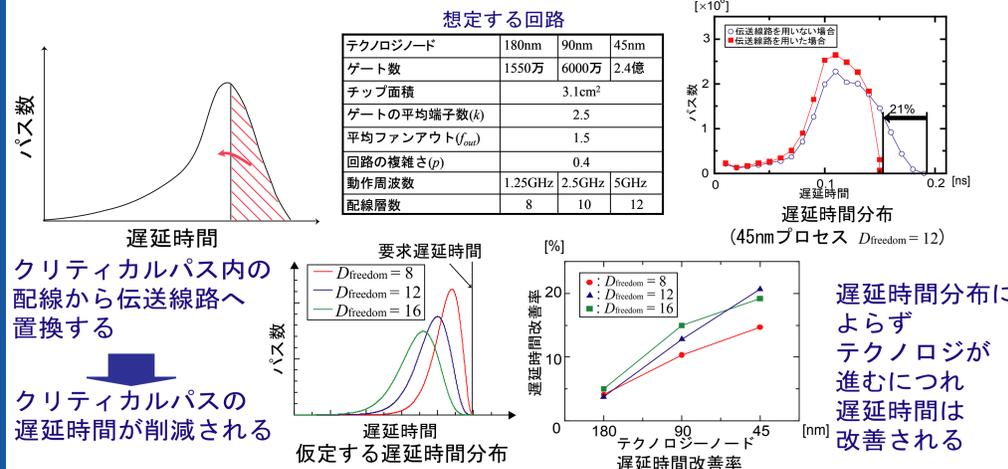
コストの観点から配線層数と回路面積の最適化が可能。

# 7. Application of Transmission Line to LSI

長い配線から伝送線路に置換する



クリティカルパスの最長配線から伝送線路に置換する



# 8. Summary and Conclusion

物理設計を考慮したLSIの性能評価を行う。  
 → 配線に性能が律速されている状況から、配線の長さや本数から統計的に性能を評価する。  
 X配線: 消費電力は18%改善される。全方位配線とX配線は、ほとんど性能に差がない。  
 SoCの配線長分布: 複雑な回路は回路の中央に配置するほうがよい。  
 配線構造最適化: ロードマップ(ITRS)で提唱されている配線構造より太くすると性能向上。  
 配置効率: ゲート数が大きく複雑な回路では、配置効率を高くしすぎると性能が下がる。  
 伝送線路: 45nmノードから急激に伝送線路を用いるメリットは大きくなる。