

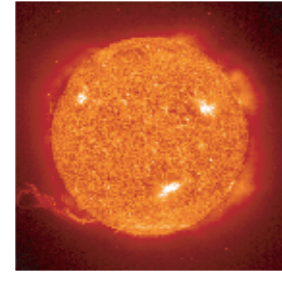
LSI多層配線におけるGHz信号伝送技術の研究

東京工業大学 統合研究院 益研究室

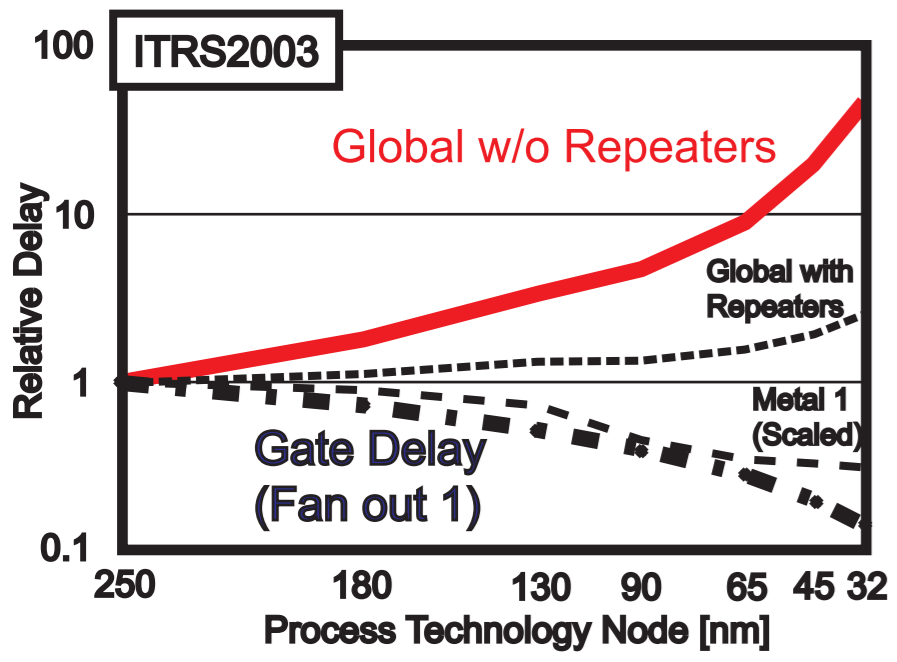
Background

Si ULSI

動作周波数: GHz帯
チップサイズ: cmオーダー
動作周波数: 3.6 GHz
最大消費電力: 115.0 W → **0.4 W/mm²**



2010年には...
100 W/mm²に
↑太陽表面と同程度の消費電力密度

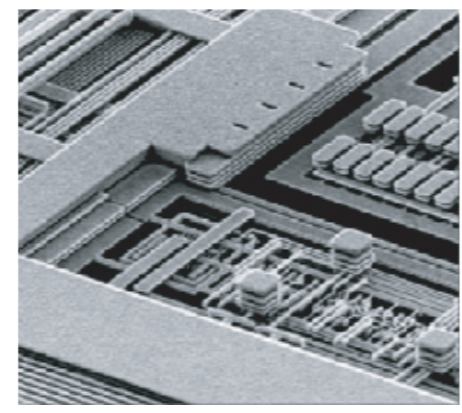


微細化 → 高速化
→ 遅延時間

長距離配線 ≫ デバイス

LSIの動作速度は長距離配線によって律速されている。

Global Interconnect



・RC線路として設計
・配線遅延低減のためにリピーターで配線を分割
= 長い配線ほど多くのリピーターが必要

高速化 = より大きな電流を回路に流す

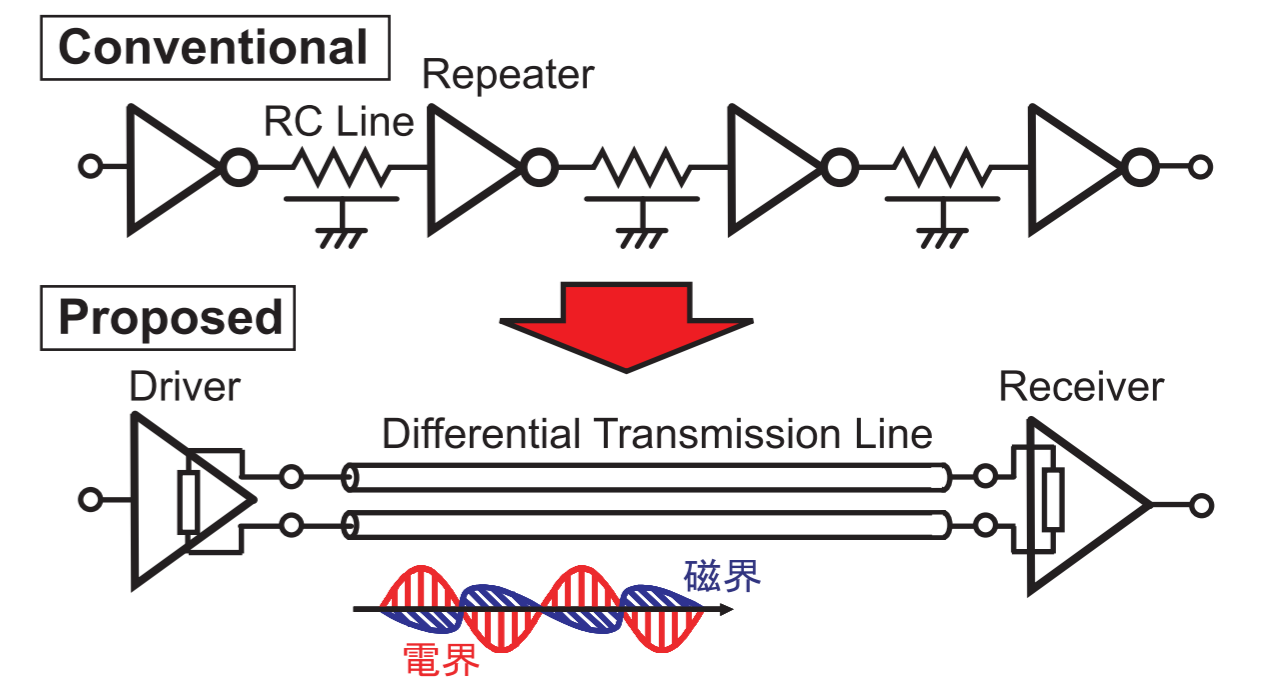
トレードオフ: 高速化 ⇔ 消費電力

クロック周波数がGHz帯になると...

1. 信号波長と長距離配線長が同じオーダーになる。
 2. 配線のインダクタンスωLが無視できなくなる。
- RC線路として長距離配線を設計することが原理的に不可能になっている。

Purpose

長距離配線を差動伝送線路として設計

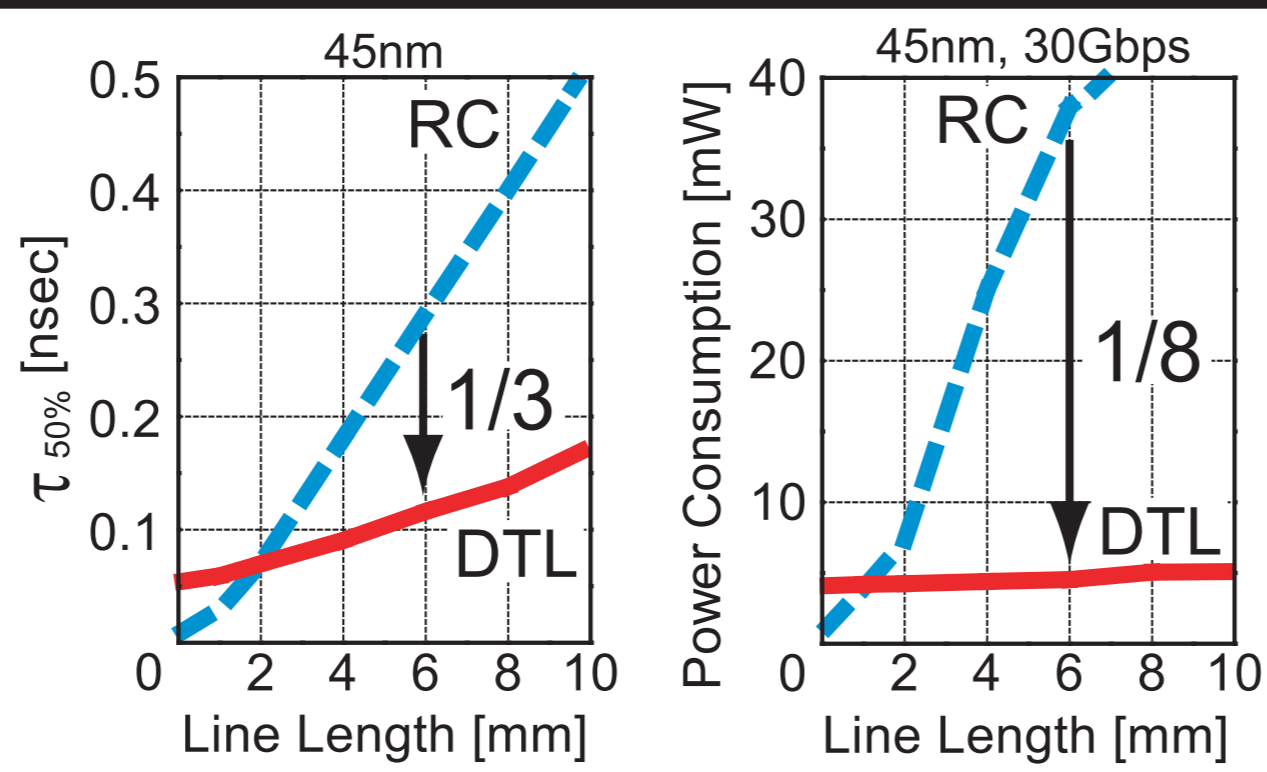
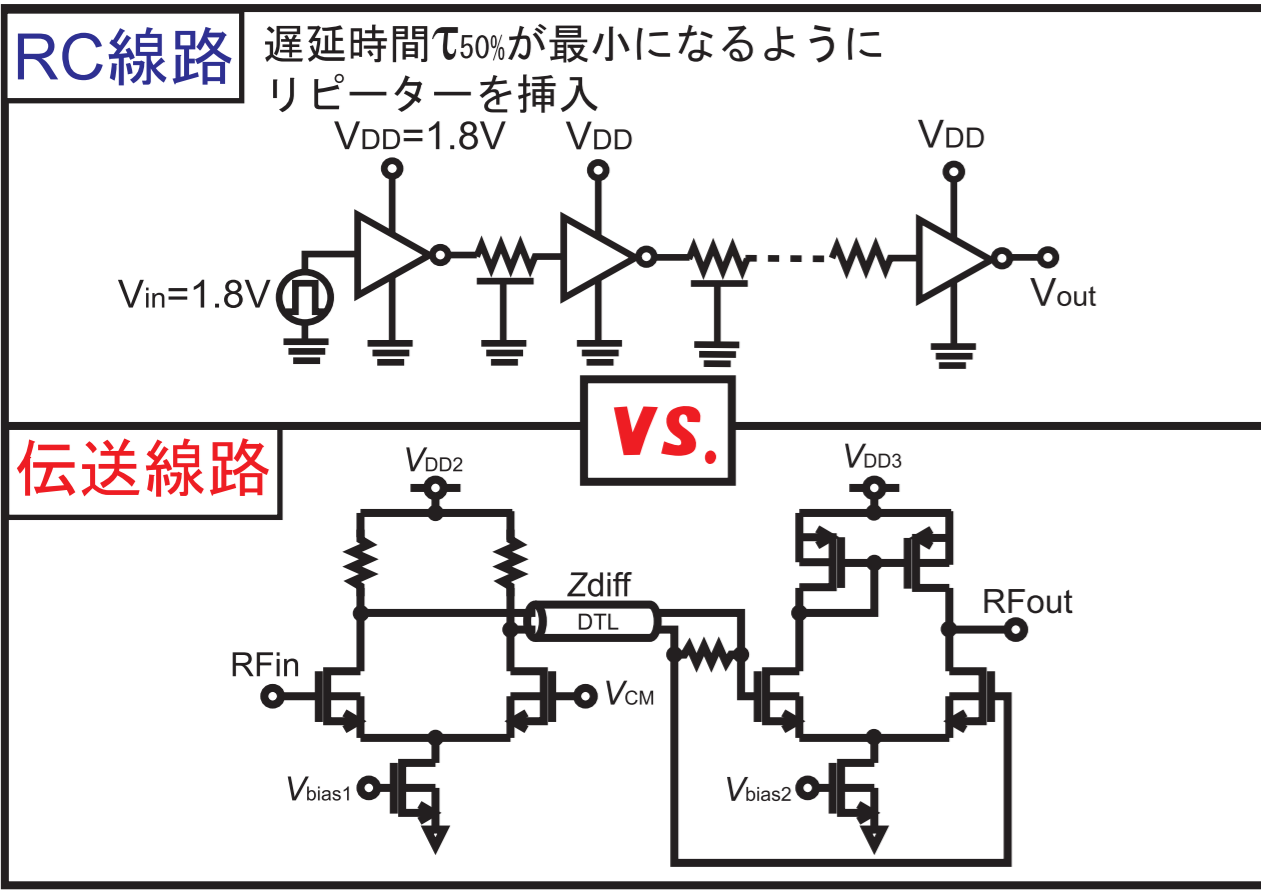


高速化
低消費電力化

- 電磁波伝送
- リピーターが不要
- クロストークに強い

Impact

伝送線路 vs. RC線路



差動伝送線路を用いることで...

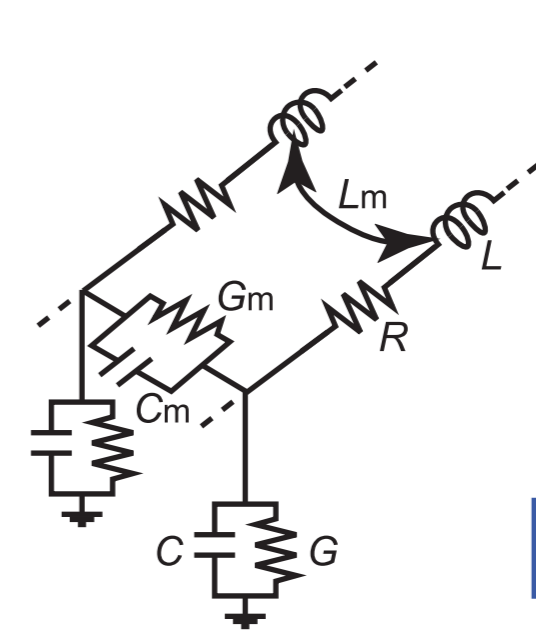
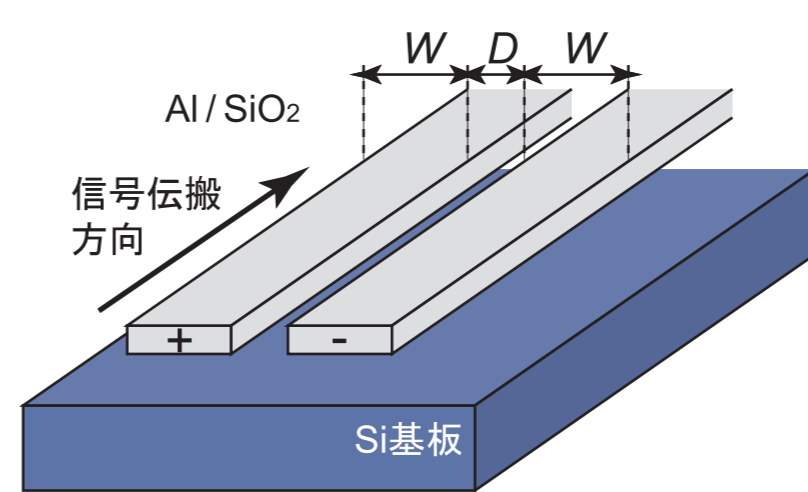
遅延時間 → 1/3
消費電力 → 1/8
動作周波数 15GHz → 40GHz
(配線長=6mm)

Line Structures

Important Considerations

Attenuation ↔ Layout Area ↔ Crosstalk
Power Consumption
相関 ↑ ↓ トレードオフ

Attenuation, Layout Area, Impedance

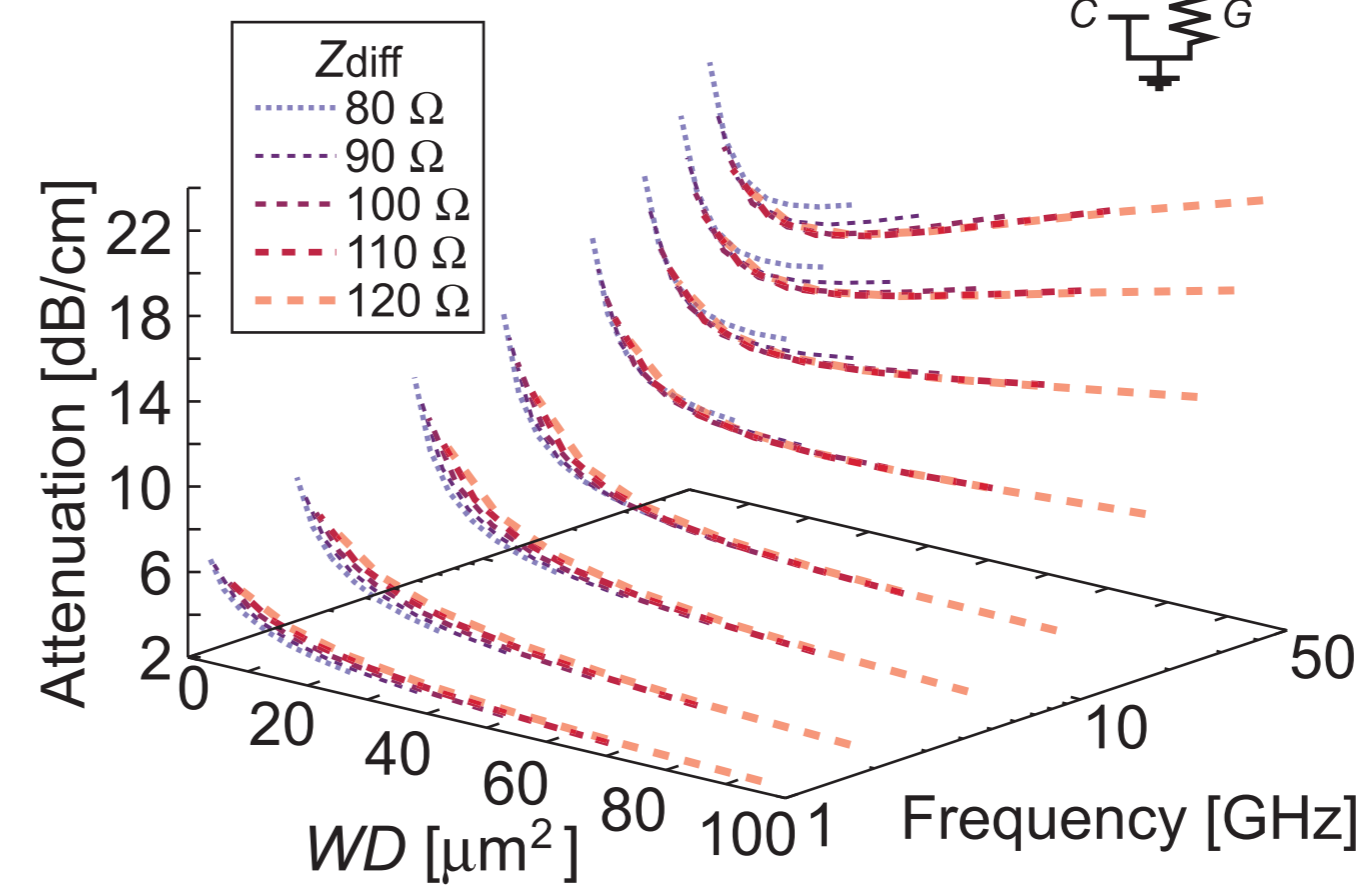


- ・0.35 μm CMOSプロセスを参考
- M1厚 = 0.7 μm, M2厚 = 0.6 μm
- M3厚 = 0.9 μm, ILD厚 = 1.0 μm
- ・SiO₂のε_r, tanδの周波数依存性は無視
- ・Si基板の抵抗率 = 2 Ω·cm
- ・W = 2.0 ~ 6.0 μm
- ・Z_{diff} = 80 ~ 120 Ω (Dで調整)
- Ansoft 2D Extractor

信号減衰量と配線パラメータの関係

$$\alpha_{diff} = \frac{1}{2} \left(\frac{R_{diff}}{Z_{diff}} + G_{diff} Z_{diff} \right)$$

$$R_{diff} \propto \frac{1}{W}, G_{diff} \propto W, Z_{diff} \propto d$$



Si基板上的差動伝送線路の信号減衰量は、ほぼ配線幅(W)と配線間隔(D)の積に依存する。
...WD積

Time-Domain Measurement

Pulse Pattern Generator Anritsu MP1761B, Digital Oscilloscope Agilent 86110C + 86117A

1Gbps, 3Gbps, 4Gbps (VDD2 = 1.8V)

Normalized Eye-height and Eye-width vs Frequency [GHz]

Power Consumption (Tx & Rx): 8 mW
Maximum Operating Freq @ VDD2=1V: 3 Gbps
4 Gbps @ VDD1=1.8V, Vbias1 = 1.0V, VCM = 1.4V, Vbias2 = 0.6V, Power = 54 mW

Power Consumption [mW] vs Line Length [mm] @ 2 Gbps

Delay τ50% [ns] vs Line Length [mm] @ 2 Gbps

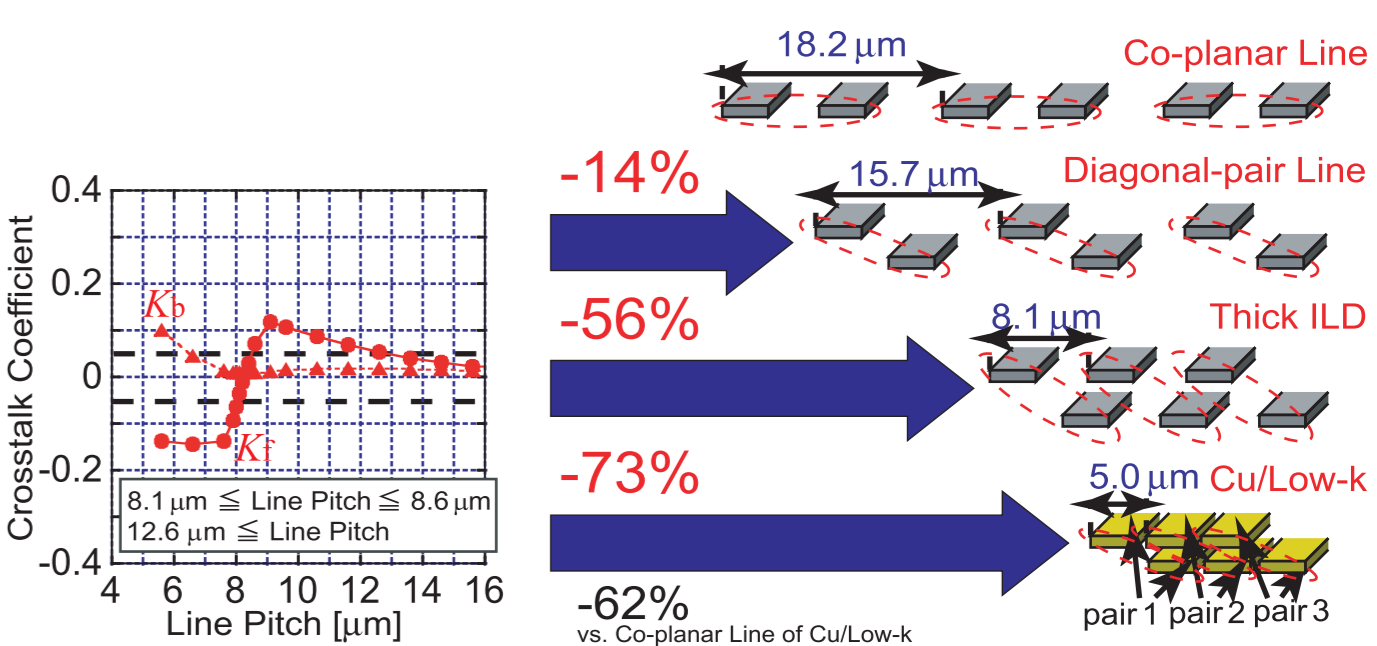
Transmission Line: Co-planar Type
Line Width = 4 μm
Line-to-GND Space = 4.2 μm
GND Line Width = 4 μm
Zo = 100 Ω
Gate Width of PMOS = 200 μm
Gate Width of NMOS = 100 μm

RC Interconnect

S. Gomi, et al., IEEE CICC, pp. 325-328, 2004.
Line Resistance = 395 Ω/cm
Line Capacitance = 2.3 fF/cm
Gate Capacitance of MOS (min. size) = 1.73 fF
Output Resistance of MOS (min. size) = 6.3 kΩ
Number of Repeater = 7 /cm
Repeater Size Wp = Wn = 70 μm

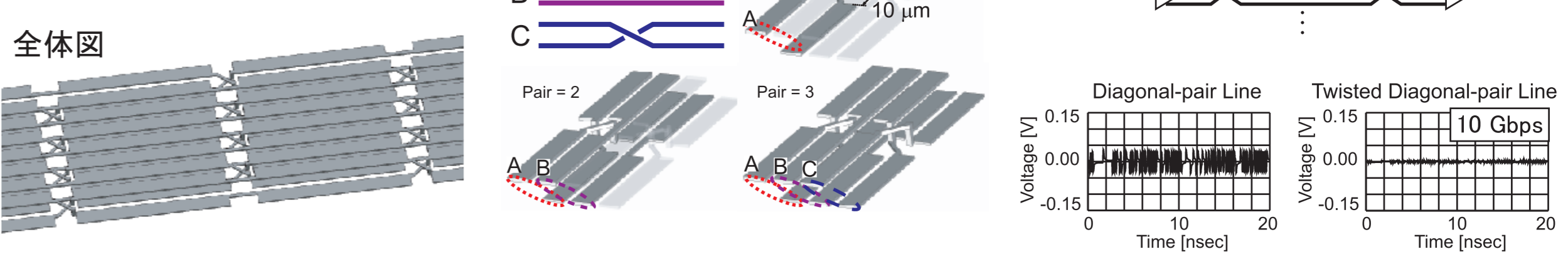
Diagonal-Pair Line

高配線密度かつ低クロストークなバスラインが実現可能



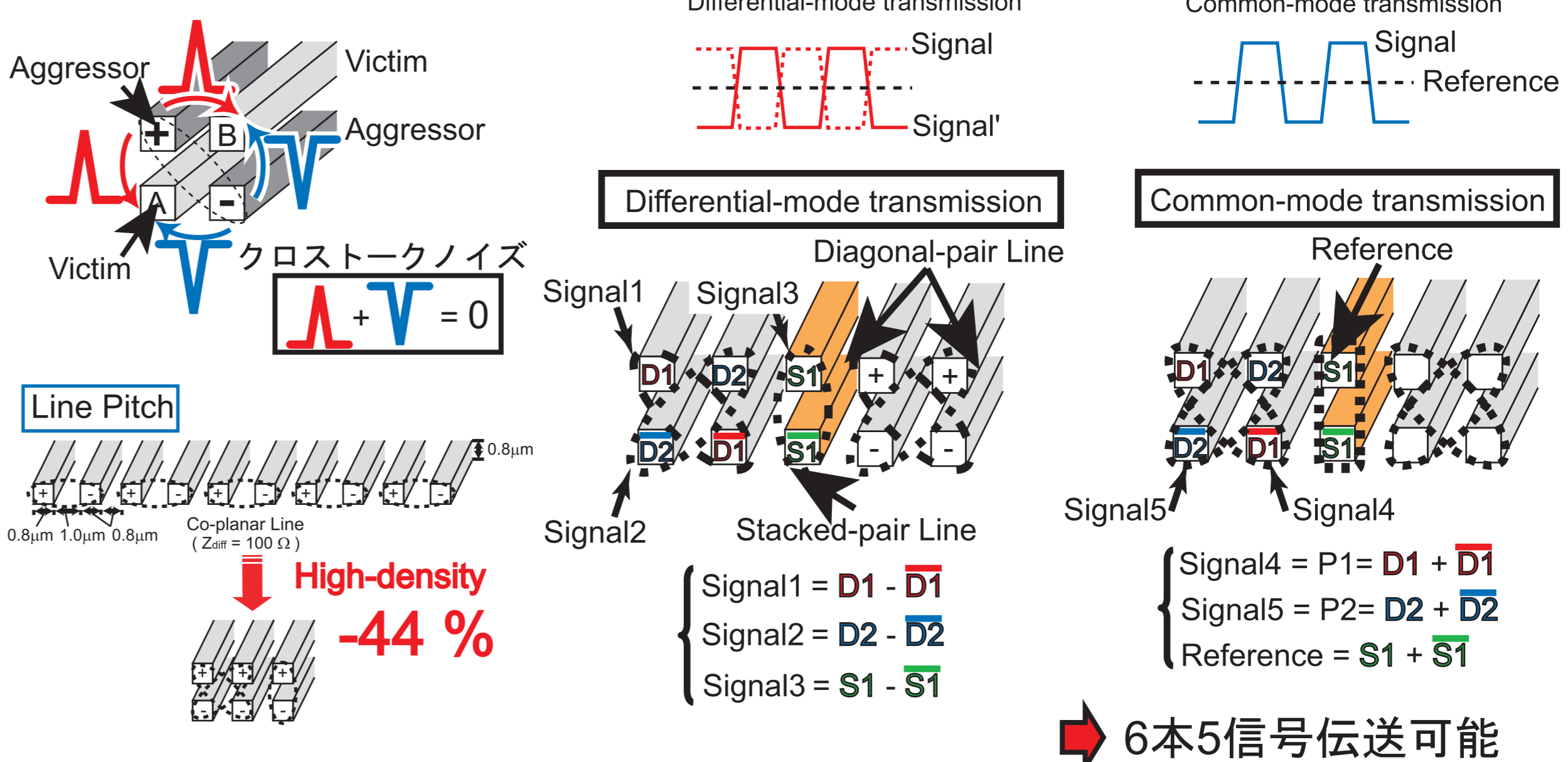
縷り線構造

長距離配線の高速化・高密度化
・高クロストーク耐性化・低EMIノイズ化



Zero-Crosstalk Bus Line

ノイズキャンセル構造



Summary

- Diagonal-Pair LineやZero-Crosstalk Bus Lineを用いることで、高配線密度で高クロストーク耐性なバスラインが実現可能となる。
- 提案配線を用いて10 Gbps以上の高速信号伝送が達成できた。
- 0.18 μm CMOSプロセスにより作成した1対1伝送回路で4Gbpsの信号伝送を達成した。
- 提案回路は従来の長距離配線よりも高速であり、また低い消費電力を有している。

→ 6本5信号伝送可能