

世界最速スーパーコンピュータの実現に向けた配線設計

杉田 英之、伊藤 浩之、木村 実人、岡田 健一、益 一哉

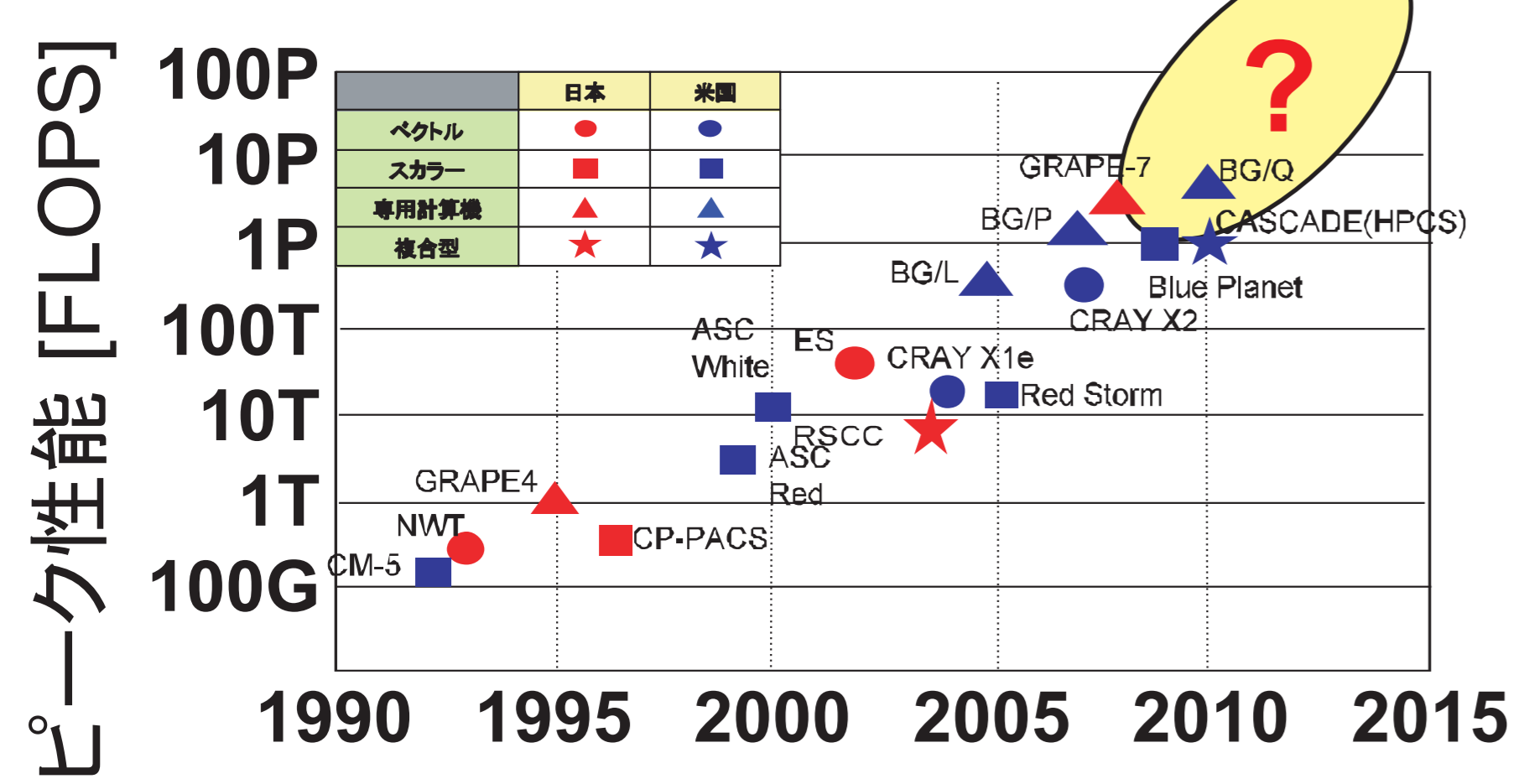
東京工業大学 統合研究院 益研究室

背景

スパコンの動向

- 米国** → 利用分野を特定して性能向上を加速。
- 日本** → TOP100内の国内設置スパコン台数は一桁台。
 ↓ 産業界の国際競争力の低下

サブエクサFLOPSスパコンの開発が望まれている

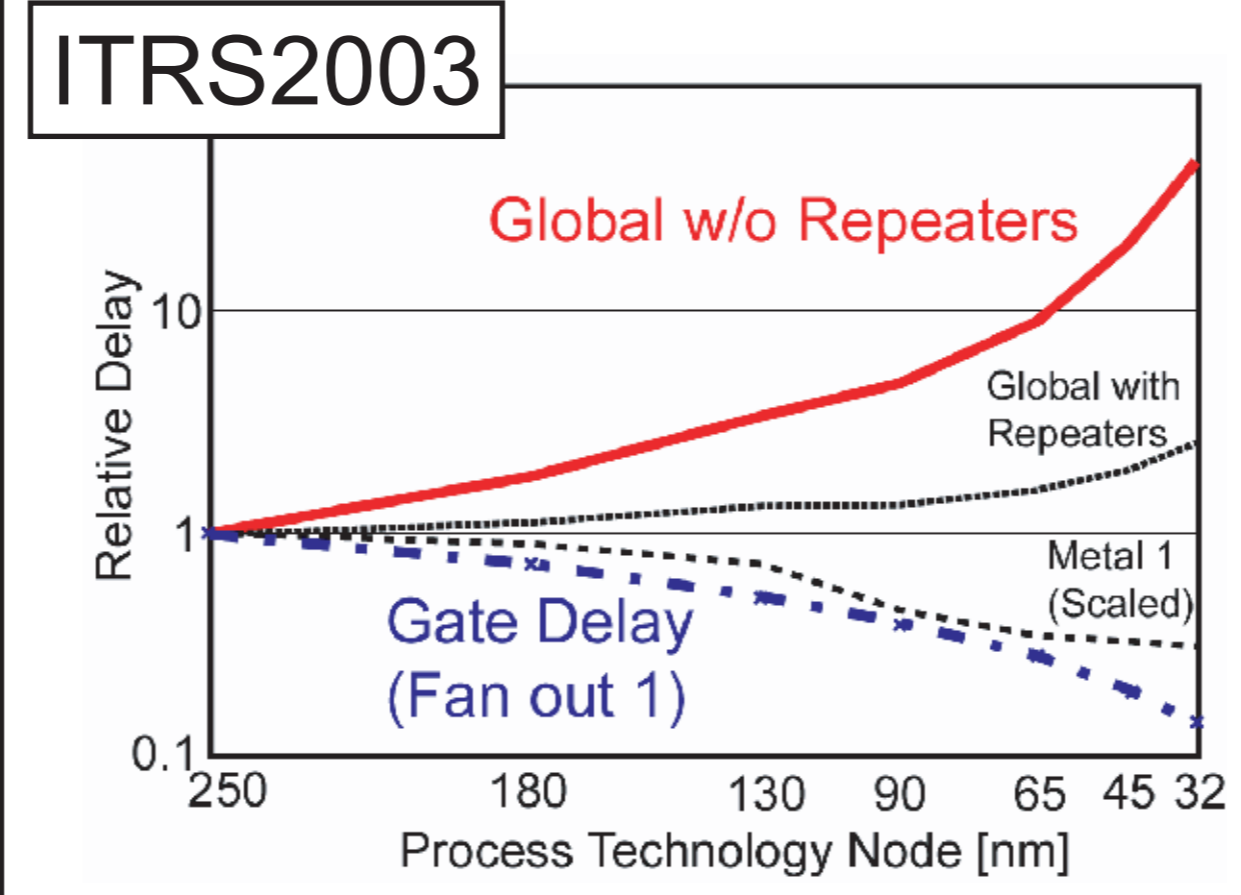


従来技術の課題

サブエクサFLOPSスパコン実現には、超高性能プロセッサの開発が不可欠

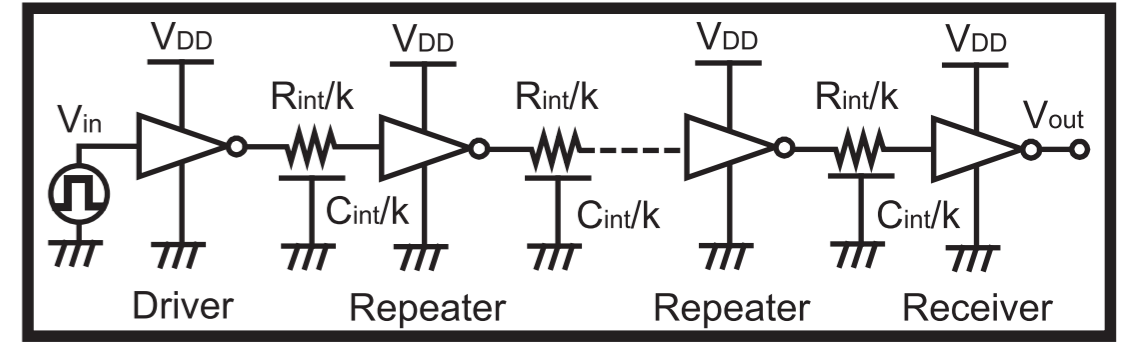
微細化
 デバイスの遅延や消費電力は改善
 ↓
 配線の遅延や消費電力は増大

配線が性能を律速している



RC線路

Global interconnects



RC線路として設計
 高速化の為にRepeaterで分割

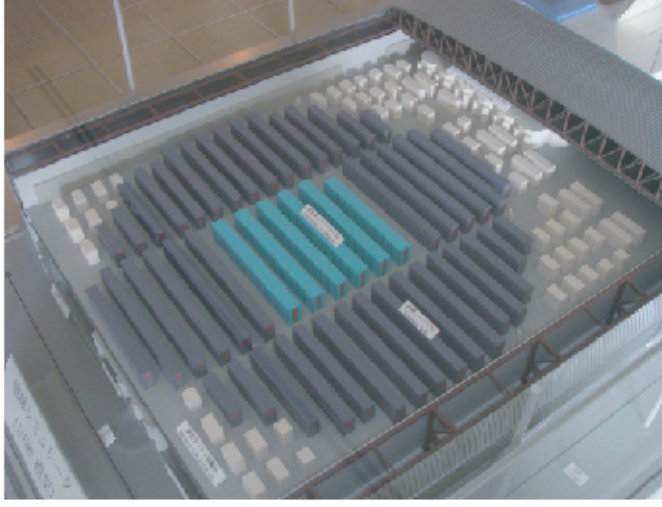
Repeater → 配線遅延を削減
 ↓
 長距離配線 → 多くのリピータが必要
 ↓
 消費電力の増大

高速化
 ⇕ Trade-off
 消費電力

目的

サブエクサFLOPSスパコンの実現に向けた配線設計

- LSIの高速化と消費電力化のトレードオフを解決
- 提案配線技術を用い動作周波数40GHzのLSIを使用した世界最速スーパーコンピュータを実現する。



目標スペック
 1ノードの演算能力/電力性能: 50GFLOPS/50W
 総ノード数: 64ノード × 40ユニット × 780台 = 200万

5年後

次世代スーパーコンピュータの恩恵

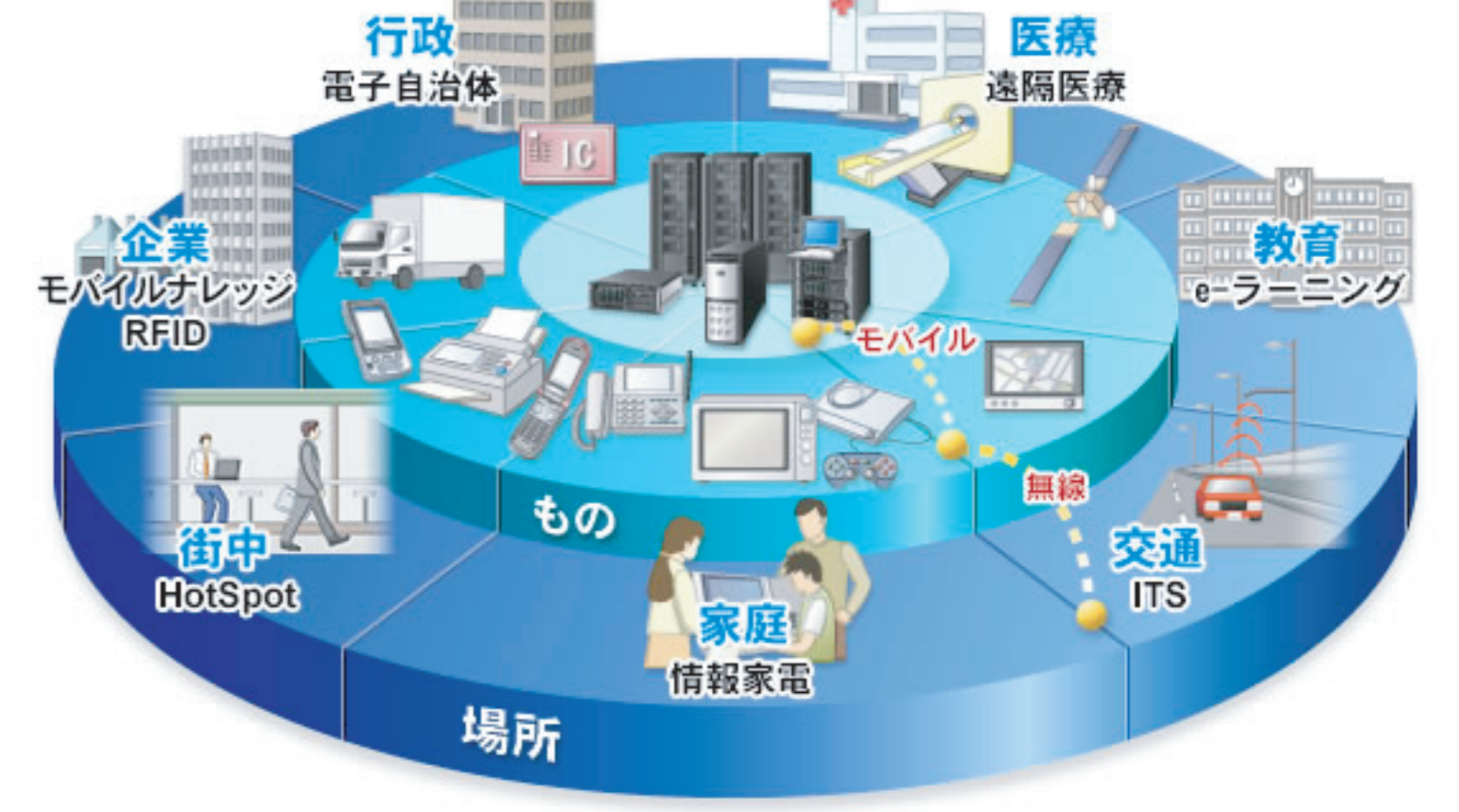
科学技術産業を牽引 国際産業競争力の強化

- ものづくり**: 自動車開発 (提供: 日産自動車株式会社)
- ライフサイエンス**: 人間丸ごと解析 (提供: 東京大学 他), 創薬解析 (提供: 東京大学 他)
- 地球環境**: エルニーニョ現象の影響予想 (提供: 海洋研究開発機構)
- 原子力**: 原子炉解析 (提供: 日本原子力研究所), レーザ反応解析 (提供: 日本原子力研究所)
- 天文・宇宙物理**: 銀河形成解明 (提供: 物理化学研究所), 惑星形成解明 (提供: 国立天文台), オーロラ発生解明 (提供: 海洋研究開発機構)
- 航空・宇宙**: ロケットエンジン設計 (提供: 宇宙航空研究開発機構), 航空機開発設計 (提供: 宇宙航空研究開発機構)
- 防災**: 津波被害予測 (提供: 東北大学), 雲の解析 (提供: 気象研究所)
- 物質設計**: 触媒設計 (提供: 物質・材料研究機構)
- ネットワーク**: ネットワークの高速化、高信頼性化 (提供: NEC), 超高速スイッチ機器等 (提供: NEC)
- 汎用CPU**: 低消費電力、高性能化 (提供: NEC), 携帯電話、デジタル家電、ゲーム機、PDAなどの高性能化 (提供: NEC)

シミュレーション技術の革新による科学技術や産業の革命 スパコン関連技術の波及

次世代のスパコンが切り開く未来

- 科学的未来設計による安全・安心な社会のライフライン構築
- 本格的なユビキタス社会の到来



<http://www.fmworld.net/biz/primergy/concept/>

配線設計の研究

伝送線路

高速信号伝送
 電磁波の速度で信号を伝送可能

低消費電力
 高速信号伝送に大電流を流す必要がない。
 ↓
 電荷の充放電で信号を伝送する必要がない。

高速化と低消費電力化のトレードオフを解決することができる。

差動伝送線路(DTL)

グラウンドが必要ない。
 高クロストーク耐性
 小振幅伝送が可能

RC線路と比べ配線面積を多く必要とする為、周りの配線の配線間隔が減少し遅延の原因となる。

配線面積の削減が配線設計の重大な課題となる。 2 pair (RC Line) vs 2 pair (DTL)

提案構造

参考電圧線をDTLとして用いている。
 参考電圧はDTLのコモンレベルから得ている。
 参考電圧は入出力マッチング抵抗の中心点より得ている。

$V_{ref} = \frac{(S_{D1}) + (S_{D2})}{2}$

Signal of PDDL S_p
 Signal of DTL S_{D1}
 Signal of DTL S_{D2}

Common-level = V_{ref}

DTL: 差動伝送線路、PDDL: 擬差動伝送線路

提案構造では3本の線路で2つの信号を伝送できる。

DTL: 差動伝送線路、PDDL: 擬差動伝送線路

配線面積

ITRS2003 65nmテクノロジノードを参考に各パラメータを設定。

Conventional co-planar: 4.1μm pitch, 0.8μm width, 1.0μm gap, 1.4μm gap

Proposed structure: 3.2μm pitch, 1.2μm width, 0.8μm gap, 0.8μm gap

信号減衰量やクロストーク耐性が同じ場合、従来の構造より22%配線面積を削減可能。

実測による評価

9mm

Voltage [V] vs Time [ps]

入力信号: 10Gbpsの擬似乱数ビット列
 入力信号振幅: 0.6Vpp
 Eye高さマージン: 0.1Vpp

2.4μm pitch, M5: 0.95μm, ILD: 1.10μm, M4: 0.95μm, 0.8μm gap

1mm Transmission Line, 0.18μm CMOS Process

-22%

Proposed structure