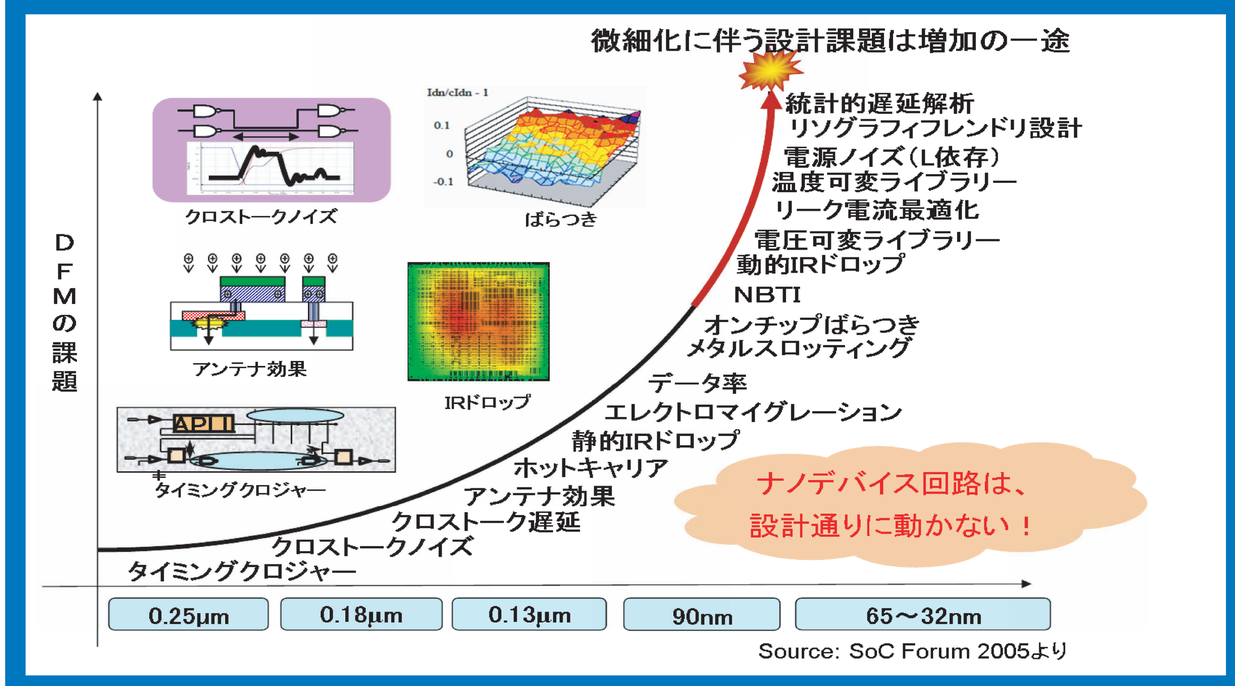
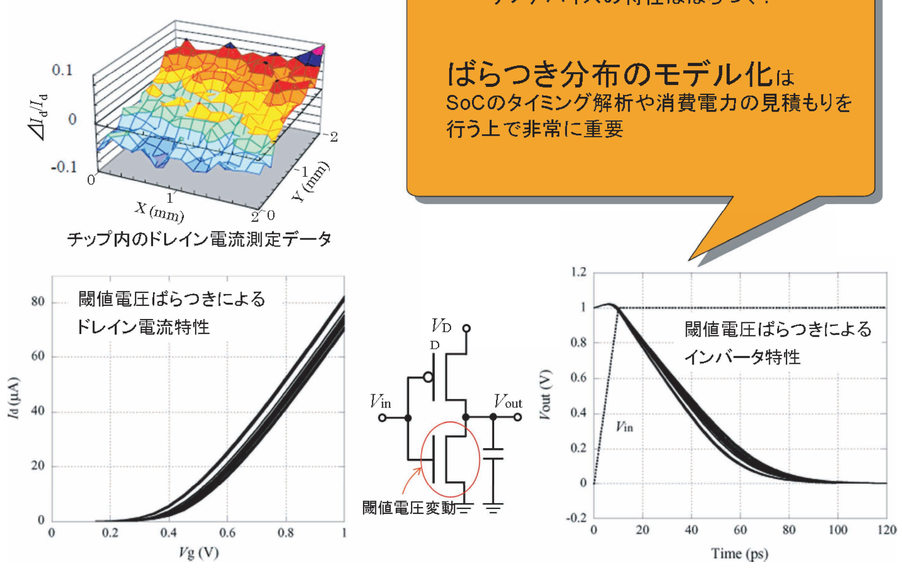
MOSFETのサブスレッショルド電流ばらつき測定のための回路検討

藤久雄己. 岡田健一. 佐藤高史. 中山範明. 益一哉
東京工業大学 統合研究院 益研究室

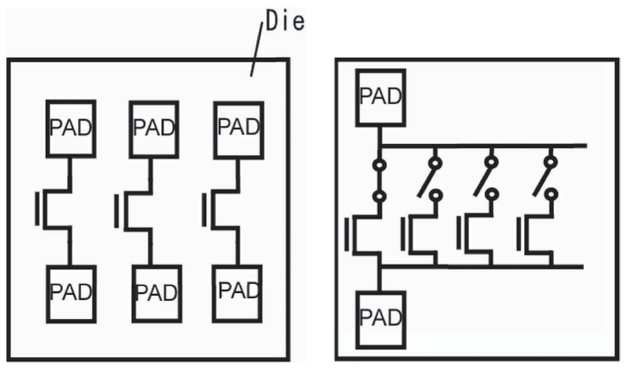
背景





Transistor Array

Transistor Arrayでチップ内の
サブスレッショルド電流ばらつきの分布を測定

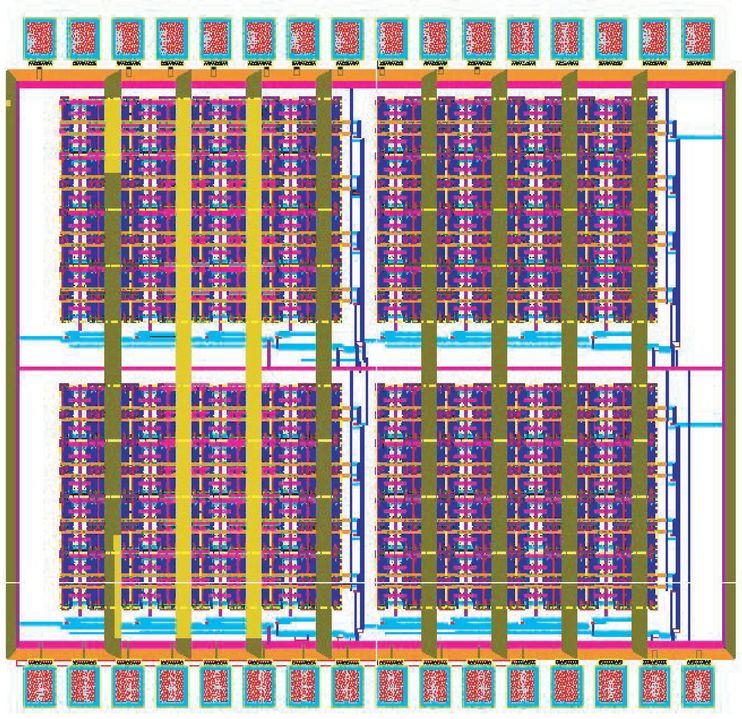


各トランジスタで電源PAD
を共有化した場合の問題点

測定対象(DUT)以外の
サブスレッショルド電流や
測定回路のリーク電流が混ざる

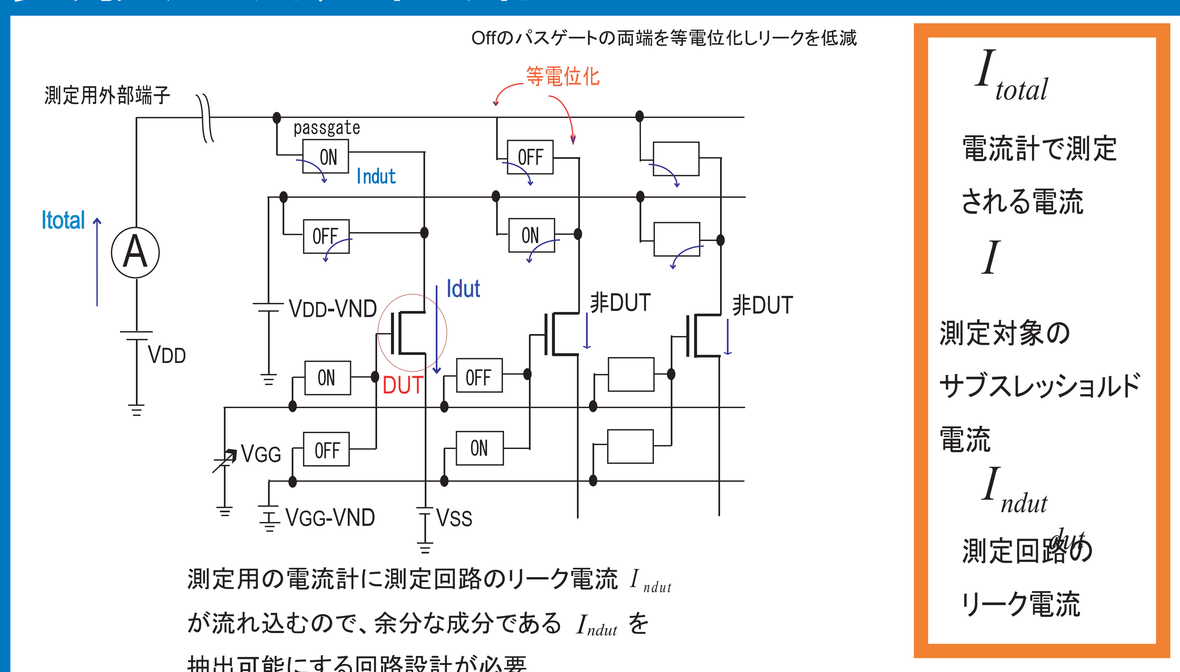
電源PADの面積を最小にするために各トランジスタに電源PAD
を配置するのではなく電源PADを共有する

試作TEG



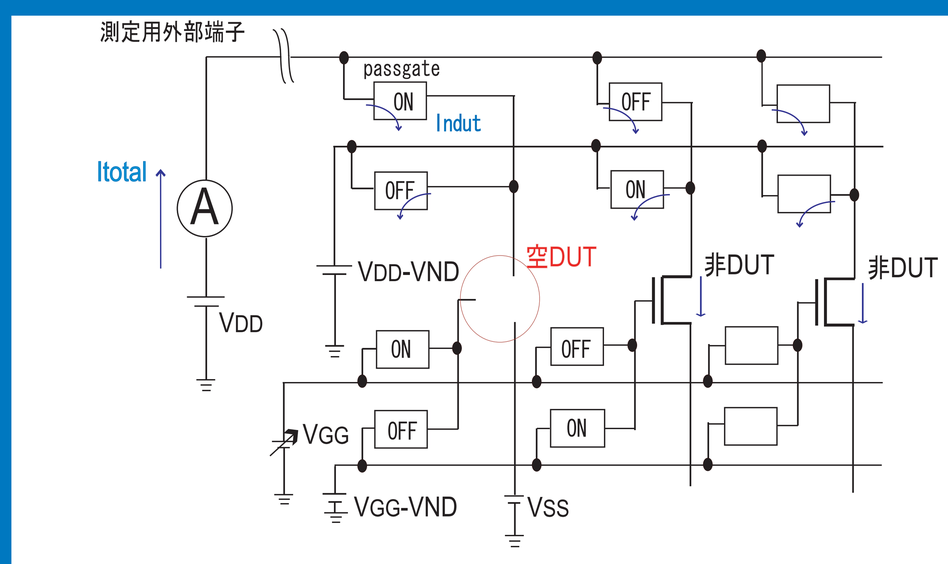
- ASPLA90nmプロセスで
  Transistor Arrayの
  チップ試作
- チップサイズ1.6×1.89mm
- サブスレッショルド電流
  測定用に約2000個
  飽和電流測定用に約2000個
  のTransistor Arrayを配置
  Passgateなどを含めると
  全Transistor数は約92500個
- Transistor Arrayを4つの
  BANKに分け各BANKに
  配置したデコーダで
  測定対象(DUT)を選択
- 外部端子として電源PADに
  電流計を接続し
  サブスレッショルド電流
  を測定

実験用測定回路



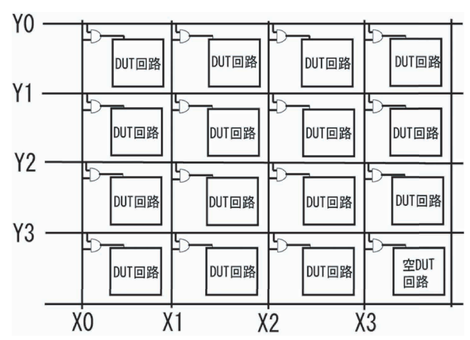
測定用の電流計に測定回路のリーク電流 I_{ndut}
が流れ込むので、余分な成分である I_{ndut} を
抽出可能にする回路設計が必要

測定回路のリーク電流の抽出



Array内に空DUTを作り、選択することで測定対象のサブスレッショルド電流を切る
その結果、測定回路のリーク電流を抽出できる

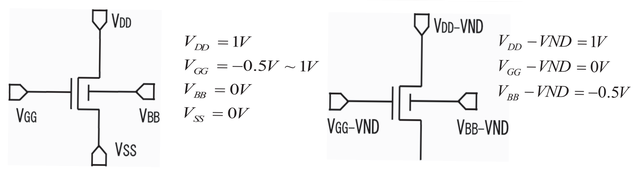
シミュレーションによる検証



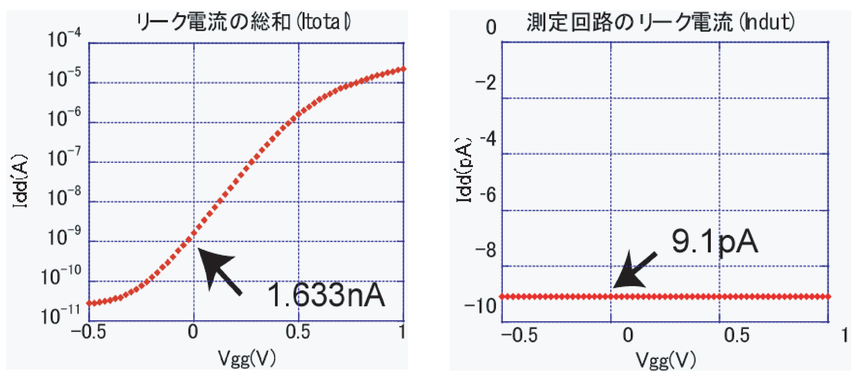
シミュレーションでは空DUTを含む
15個のtransistor Arrayを用いた

シミュレーションで用いた
Transistorサイズとバイアス条件

90nmCMOSプロセス		
BSIM4デバイスモデル		
	ゲート長L	ゲート幅W
Nmos(array用)	100nm	400nm
Pmos(passgate用)	300nm	1.5um



測定対象(DUT)各端子のバイアス　　非測定対象(非DUT)各端子のバイアス



待機時における
サブスレッショルド電流の
ばらつき分布を測定するので
ゲート電圧(Vgg)0Vの電流値に
着目する

測定対象(DUT)のサブスレッショルド電流
15個のTransistor Array=1.642nA
1個のTransistor=1.643nA

Transistorを
Array化した場合と
単体の場合で計算した
サブスレッショルド電流
が一致

→ 測定回路のリークを
取り除きDUTの
サブスレッショルド
電流を抽出できる

結論

スレッショルド電流のばらつきを測定するTransistor Array について検討した

(1) スレッショルド電流と測定回路のリーク電流を分離する測定方法をシミュレーションした

(2) 数1000 個以上ではスレッショルド電流と測定回路のリーク電流が同程度になる

- 測定回路リークの低減
- 測定回路リーク電流の統計的解析