

# デバイスばらつき測定用電源構造の改善

萩原 汐, 佐藤 高史, 益 一哉

東京工業大学 統合研究院 益研究室

## 1. 背景

デバイスの微細化に伴い、回路の特性ばらつきが大きくなっている



ばらつきを測定するための回路

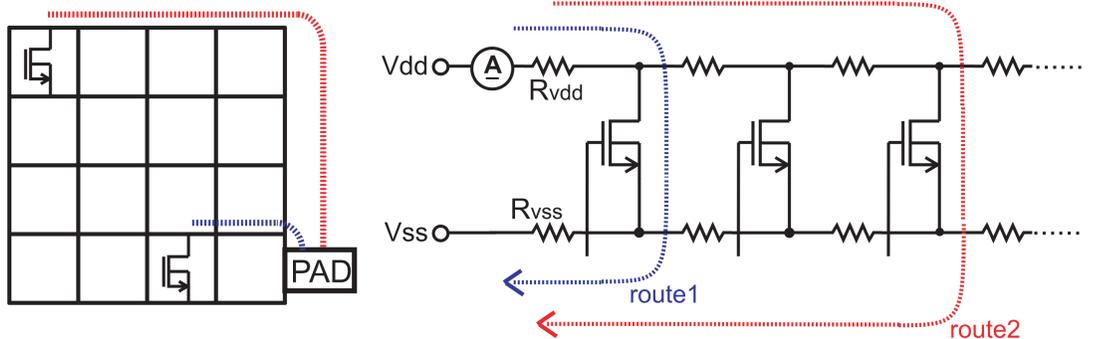
<トランジスタ・アレイ>

同じデバイスパラメータを持つトランジスタをアレイ状に多数配置、測定し、ばらつきを評価する

## トランジスタ・アレイの問題点

面積やPAD数削減の為、レイアウトが制限される場合、各素子からPADまでの距離に依存した寄生抵抗が生じる

→デバイスのばらつきが寄生抵抗によるばらつきに埋もれてしまう

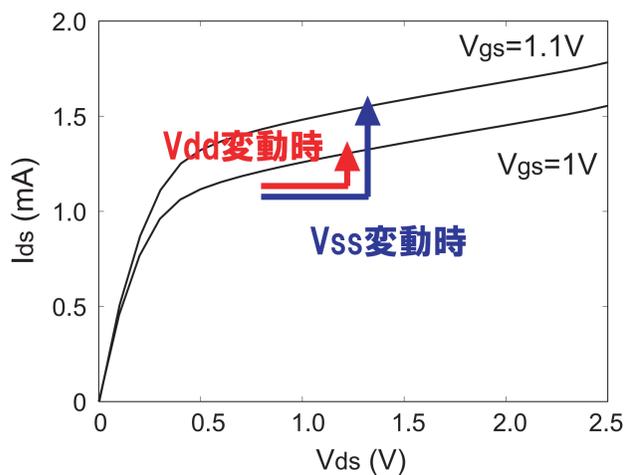


## 目的

寄生抵抗によるドレイン電流の差  $\Delta I_{ds}$  を低減し、ばらつきを高精度に測定する

## 2. 提案手法原理

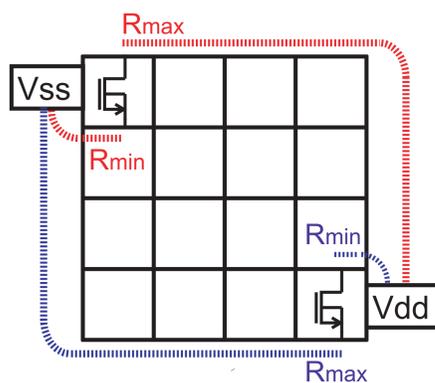
### Vdd・Vssの $I_{ds}$ に対する感度



Vssの方が感度が大きい  
→Vss側の抵抗をより抑えるべき

### PAD配置

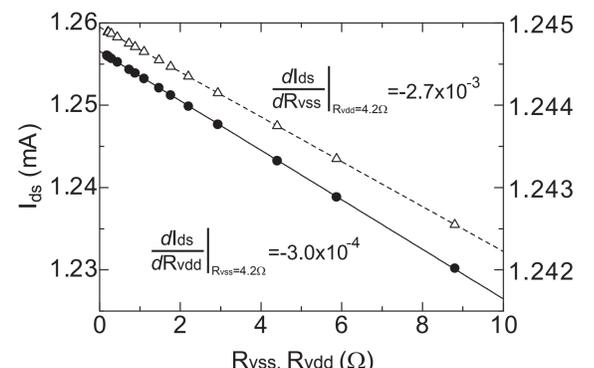
対称に配置すれば、 $R_{vdd} + R_{vss}$  を一定にできる



感度が違うので、 $\Delta I_{ds}$  を抑えるには不十分

### $R_{vdd}$ , $R_{vss}$ の感度

- 測定するバイアス条件, デバイス・パラメータで netlist 作成.
- $R_{vdd}$ ,  $R_{vss}$  を変えながら回路シミュレーションを繰り返す



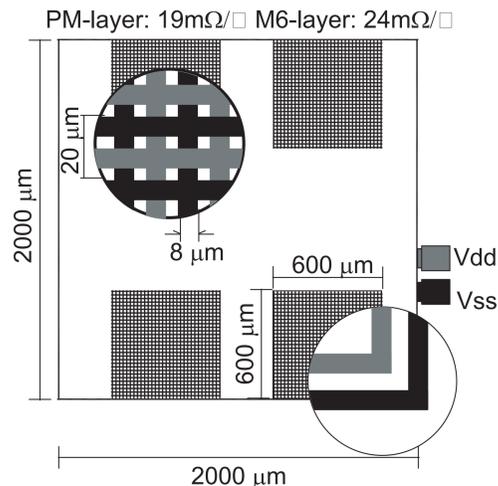
感度比  $\gamma = \frac{dI_{ds}/dR_{vss}}{dI_{ds}/dR_{vdd}} \cong 11$  (計算例)

## 3. 適用例

### 試作時の様々な事情

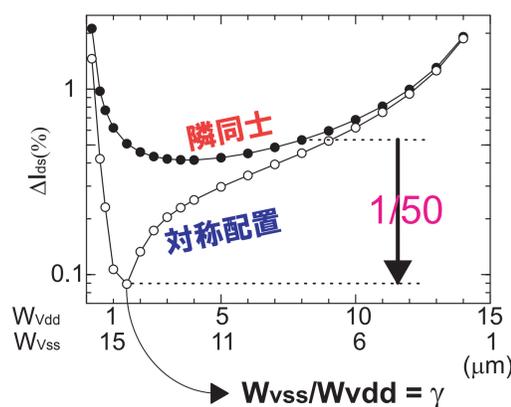
トランジスタをチップ全体に配置したい

他モジュールの存在  
・使えない領域がある  
・PAD数が制限される



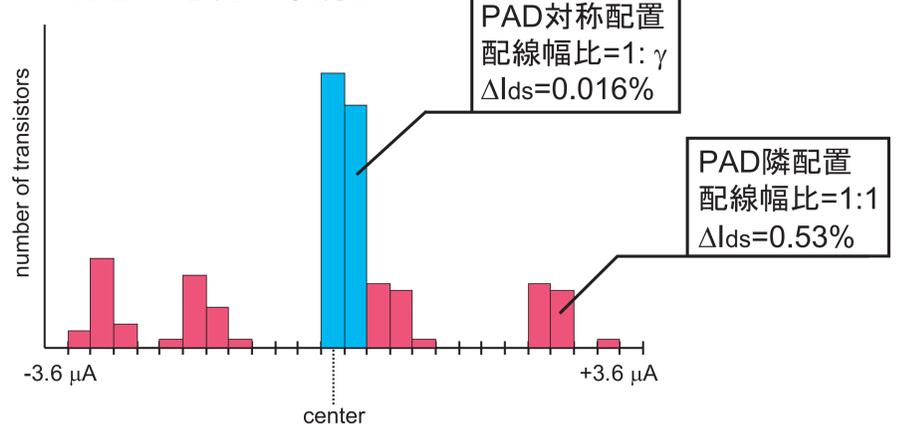
## シミュレーション結果

### PAD位置と配線幅比



- 対称に配置することで、極小点を取ることができる
- 単純なレイアウトなら、 $\Delta I_{ds} = 0$  も可能

### $I_{ds}$ のばらつき方の変化



## 4. Conclusion

配線幅を電源寄生抵抗に対する感度比  $\gamma$  に基づいて決定する方法を提案した

寄生抵抗によるドレイン電流差を従来の1/50に低減

### 問題点

- スイッチ, 配線幅のばらつきを考慮していない
- 感度がバイアス条件により変わってしまう