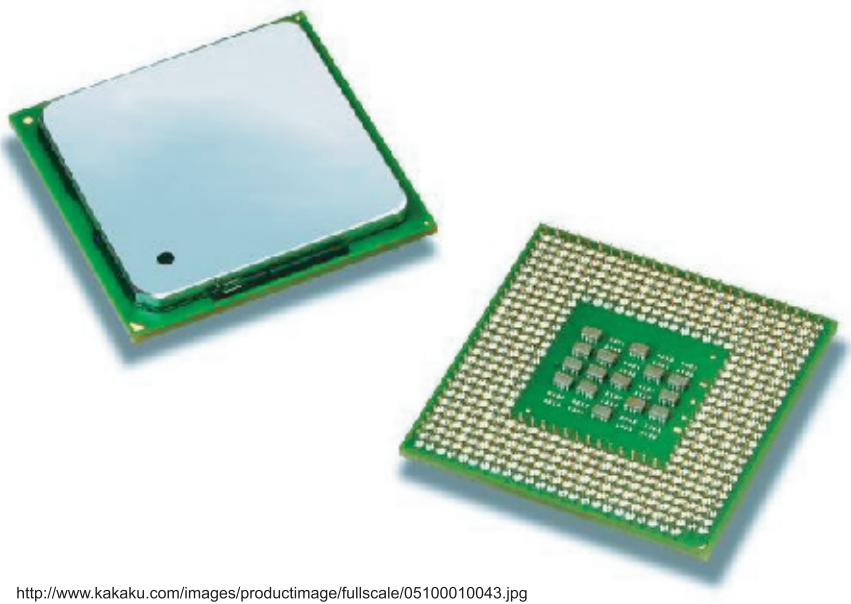


# オンチップ伝送線路配線を用いた高速信号伝送の研究

東京工業大学 統合研究院 木村実人、岡田健一、益 一哉

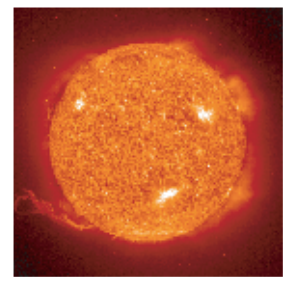
## Background

### Si ULSI



微細化により...  
 ・リーク電流の増加  
 ・クロック周波数の向上

動作周波数: 3.6 GHz  
 最大消費電力: 115.0 W → 0.4 W/mm<sup>2</sup>

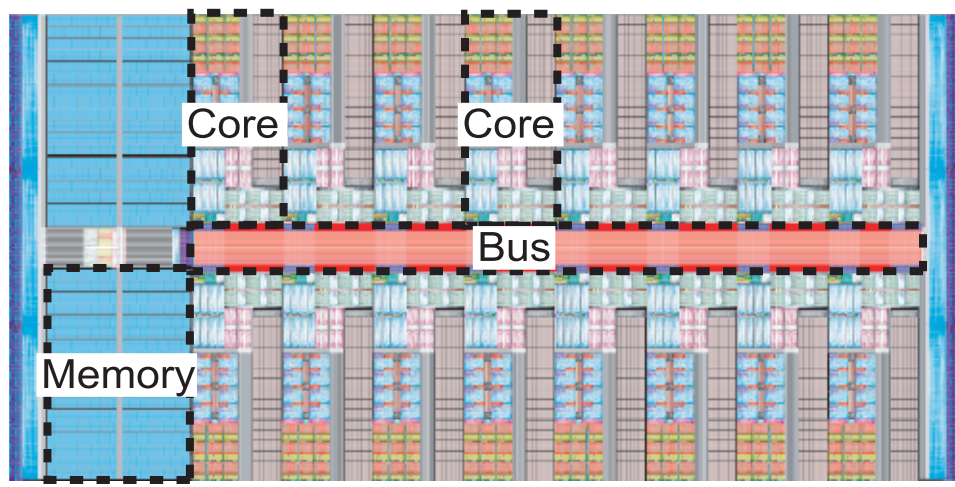


2010年には...  
 100 W/mm<sup>2</sup>に  
 ↑太陽表面と同程度の消費電力密度

**消費電力が爆発**

### マルチコアプロセッサ

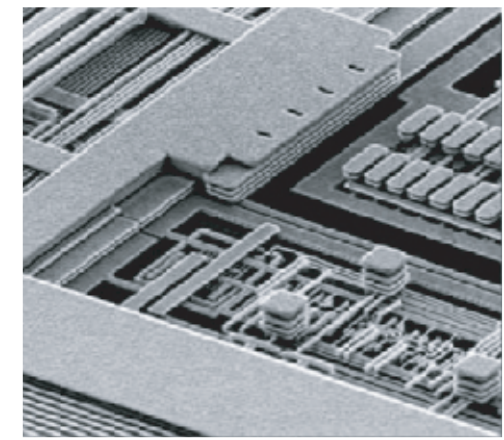
・プロセッサコアを複数搭載  
 ・マルチタスク処理によって動作周波数を上げることなく性能向上



コア同士、コア-メモリ間の接続

**高性能なオンチップバスが必要**

### Global Interconnect



・RC線路として設計  
 ・配線遅延低減のためにリピーターで配線を分割  
 = 長い配線ほど多くのリピーターが必要

高速化 = より大きな電流を回路に流す

トレードオフ: 高速化 ⇔ 消費電力

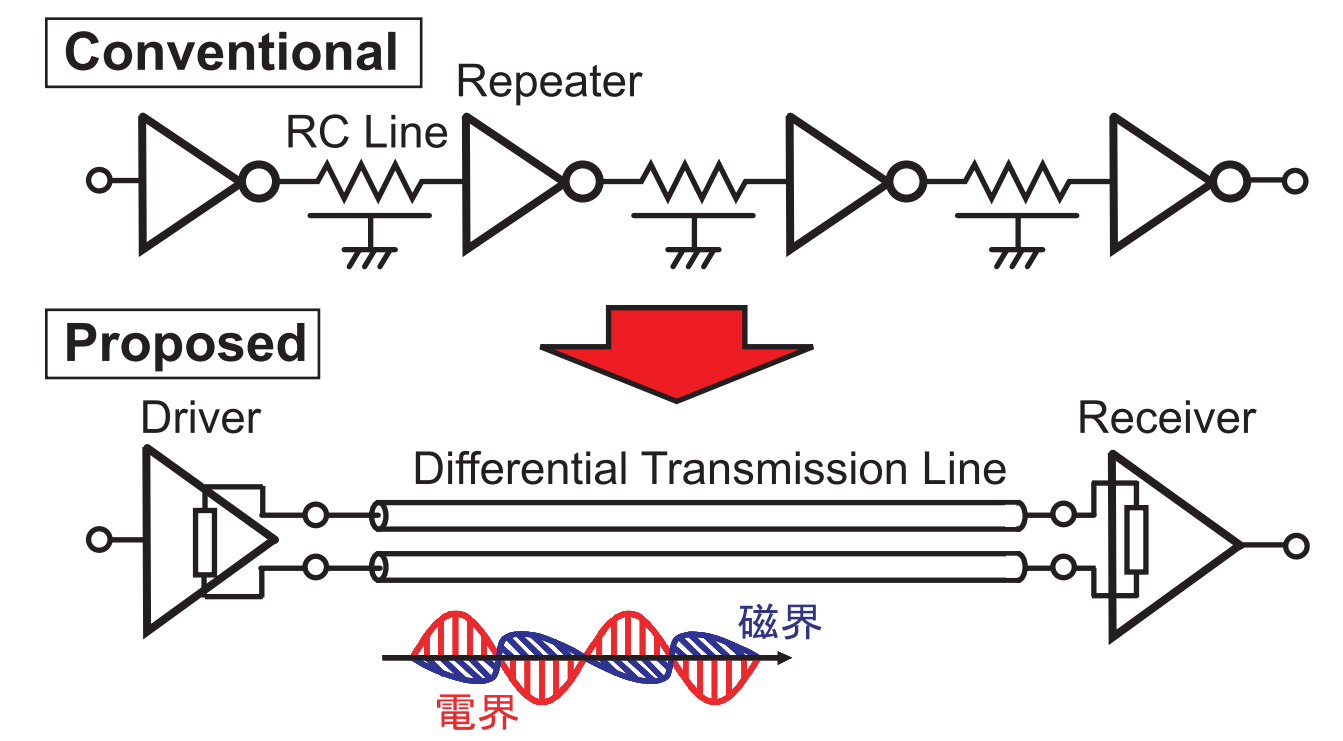
クロック周波数がGHz帯になると...

1. 信号波長と長距離配線長が同じオーダーになる。
2. 配線のインダクタンスωLが無視できなくなる。

RC線路として長距離配線を設計することが原理的に不可能になっている。

### Purpose

長距離配線を差動伝送線路として設計

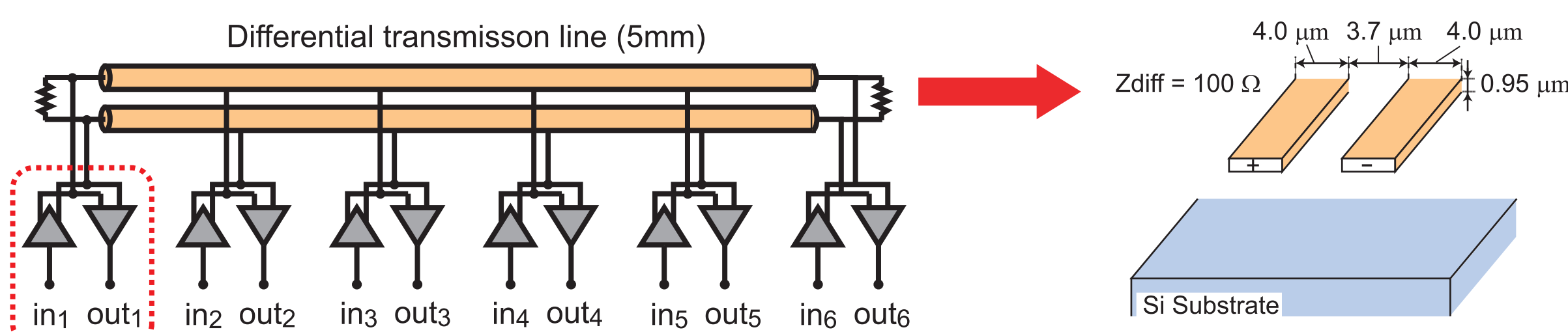


- 電磁波伝送
- リピーターが不要
- クロストークに強い

高速化と低消費電力化を同時に実現可能

## Multi-Point Bus

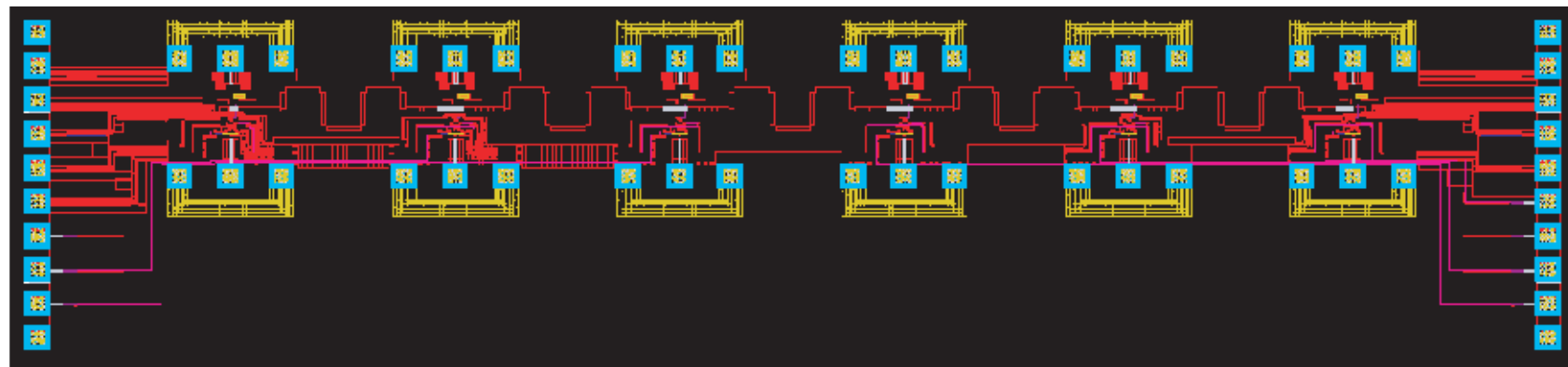
### Tx/Rx一体型回路



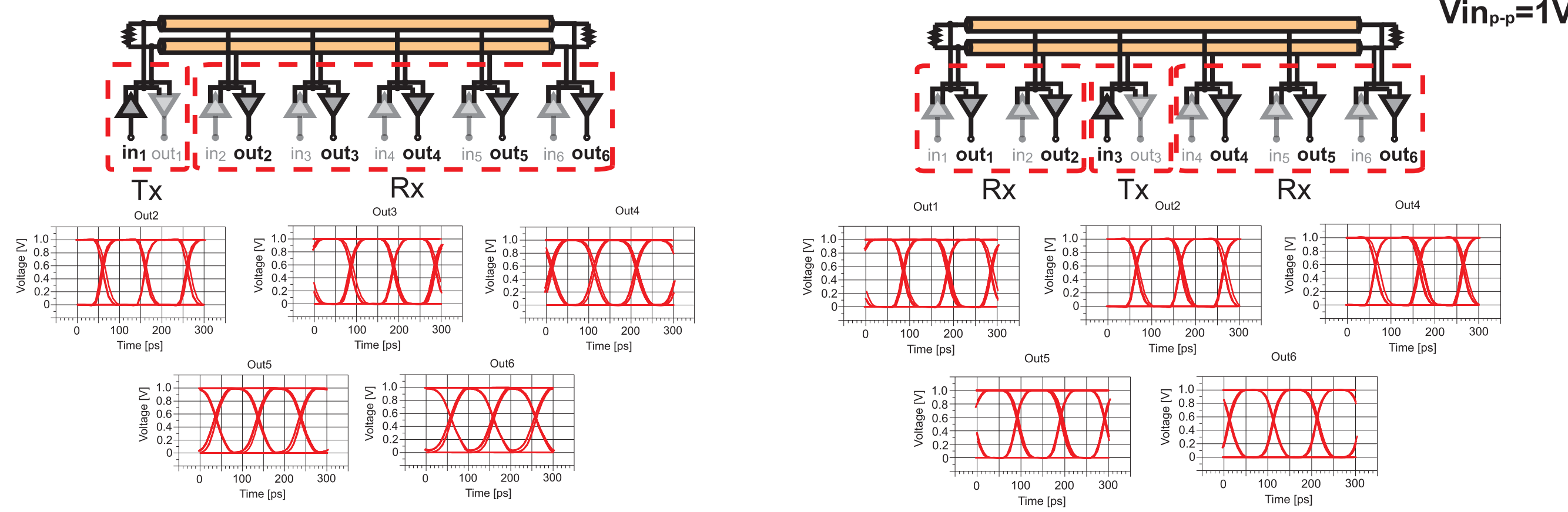
90nm Tech.

Component	Tr1, Tr4	Tr2, Tr3	Tr5, Tr6
W / L	22.5 μm/0.1 μm	17.5 μm/0.1 μm	17.5 μm/0.1 μm
Component	Tr7, Tr8	Tr9, Tr10	Tr11
W / L	37.5 μm/0.1 μm	50 μm/0.1 μm	200 μm/0.2 μm
Component	Tr12	Tr13	-
W / L	7.5 μm/0.1 μm	2.5 μm/0.1 μm	-
Source	V <sub>DD1</sub>	V <sub>DD2</sub>	V <sub>bias1</sub> V <sub>bias2</sub>
Value	1V	1V	0.7V 0.7V

レイアウト図



## Simulated Results



	提案回路	RC線路
消費電力 [mW]	8~8.5	10.8
遅延時間 [ps]	150 @5mm	426 @5mm

RC線路  
 RLC分布定数モデルを仮定  
 (配線抵抗: 410 Ω/mm  
 配線容量: 0.26 pF  
 インダクタンス: 1.54nH/mm)

CMOSインバータ  
 (pMOS: W=40μm, L=90nm  
 nMOS: W=20μm, L=90nm  
 リピーター: 個/0.4mm)

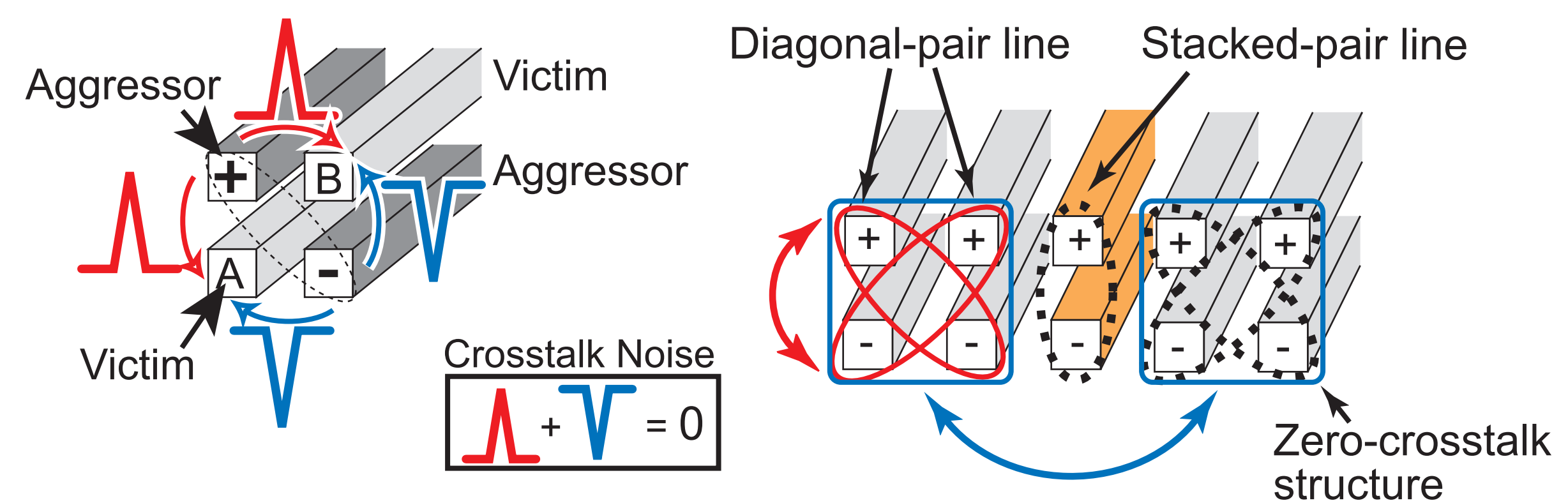
## Zero-Crosstalk Bus Line

### Important Considerations

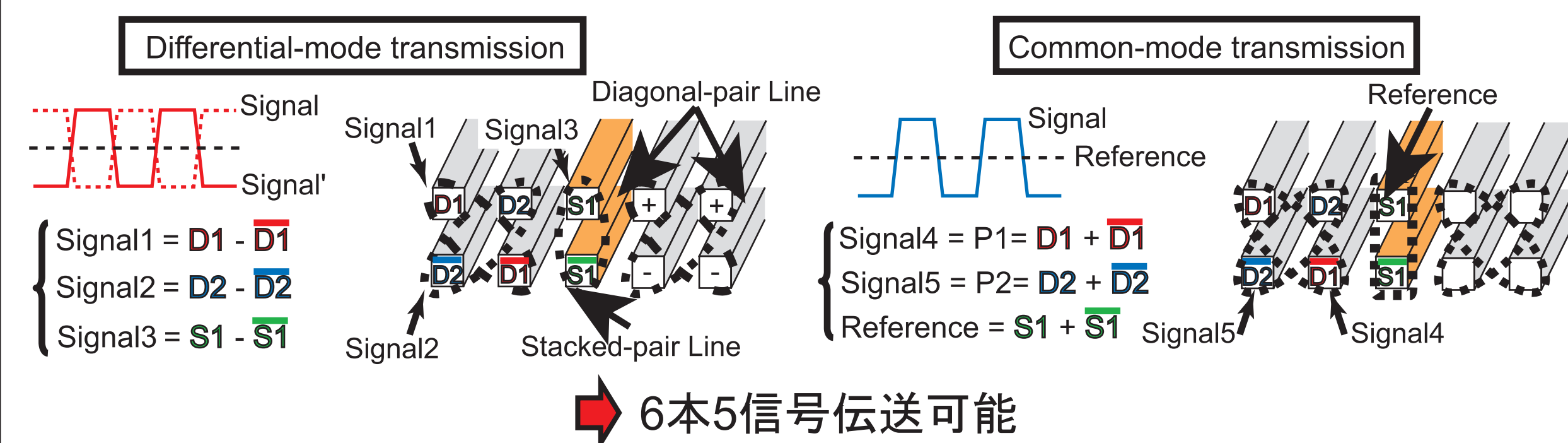
Attenuation ↔ Layout Area ↔ Crosstalk  
 相関 ↑ ↓ トレードオフ

Power Consumption

### Principle of noise cancellation

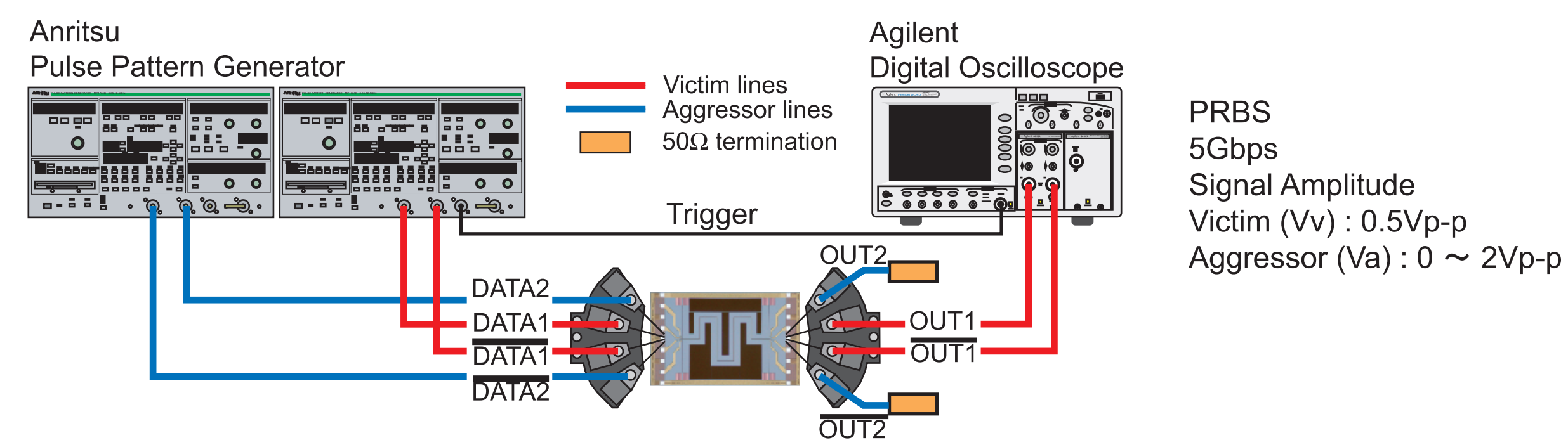


## Zero-Crosstalk Bus Line

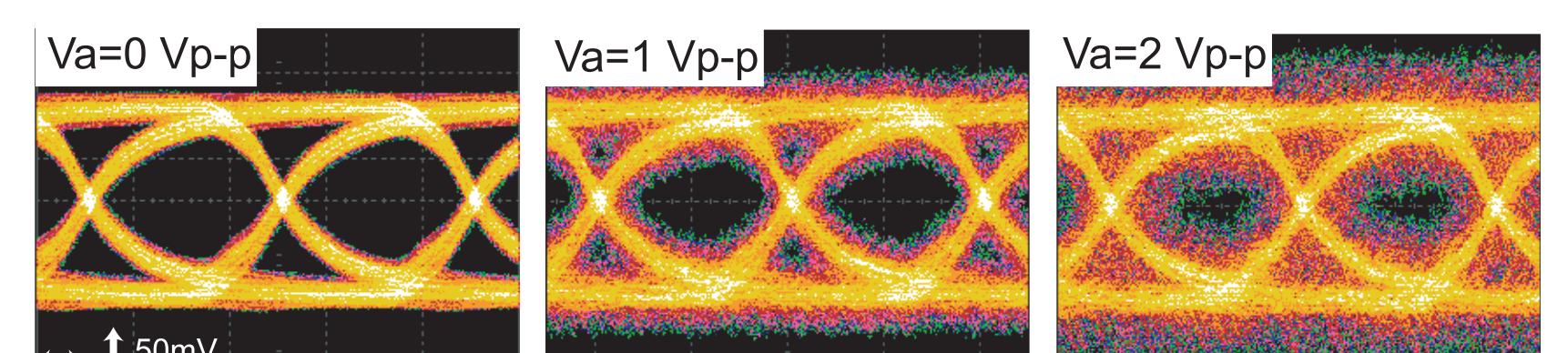
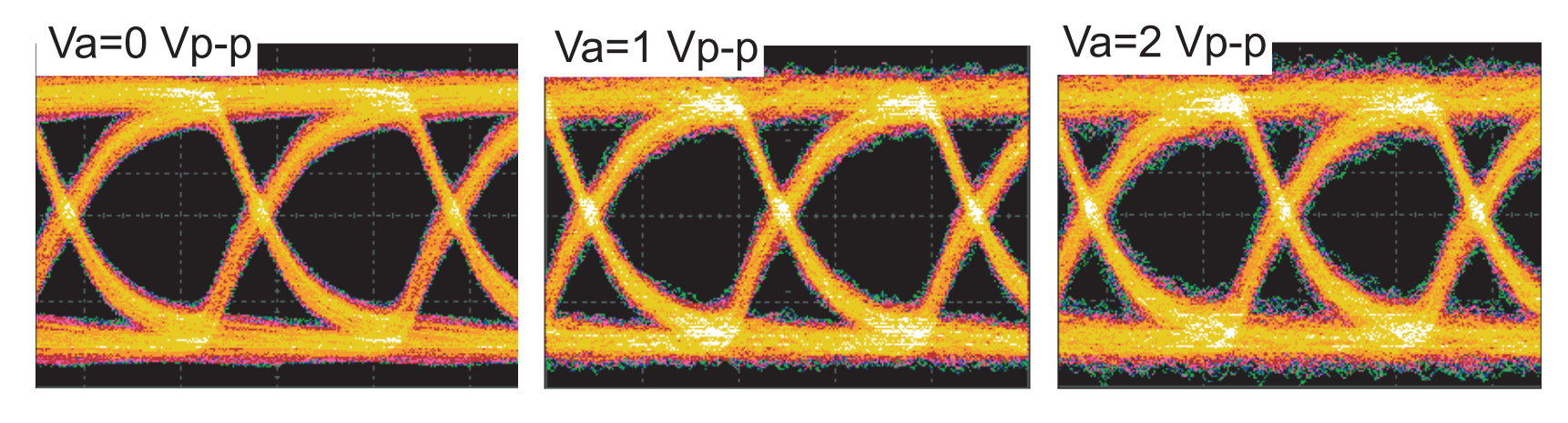
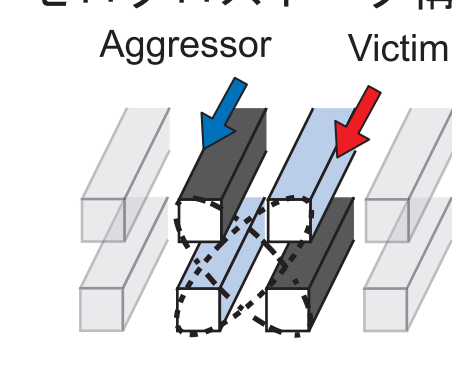


6本5信号伝送可能

## Measured Results



ゼロクロストーク構造



高いクロストーク耐性を有した配線構造を実現

## Summary & Conclusion

- 差動伝送線路を用いたTx/Rx一体型伝送回路で10Gbpsの信号伝送をシミュレーションにより確認した。
- 提案回路を用いることで消費電力、遅延時間共にRC線路に比べて大幅に削減可能である。
- ゼロクロストーク構造の高いクロストーク耐性について確認した。
- 本提案手法を用いることで、高性能なオンチップバスを実現できる。