

MOSFETのサブスレシヨルド電流測定のための回路検討

東京工業大学 統合研究院

藤久 雄己, 岡田 健一, 佐藤 高史, 中山 範明, 益 一哉

背景

プロセス微細化により製造ばらつきの影響が顕著に

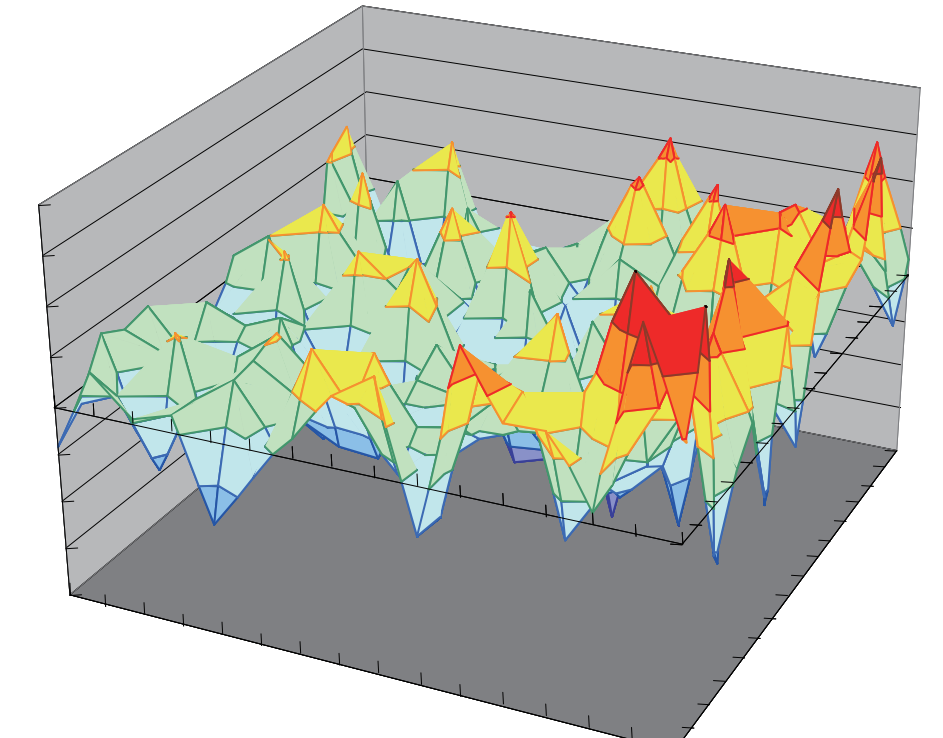
- デバイス・回路特性への影響, 良品率への影響

オン電流(飽和電流)のばらつき

- 回路遅延時間
- 多くの測定例あり

オフ(リーク)電流のばらつき

- 待機時消費電力
- 検討が十分なされていない



チップ内飽和電流分布の例

研究の目的

ばらつきの現象解明とモデル化

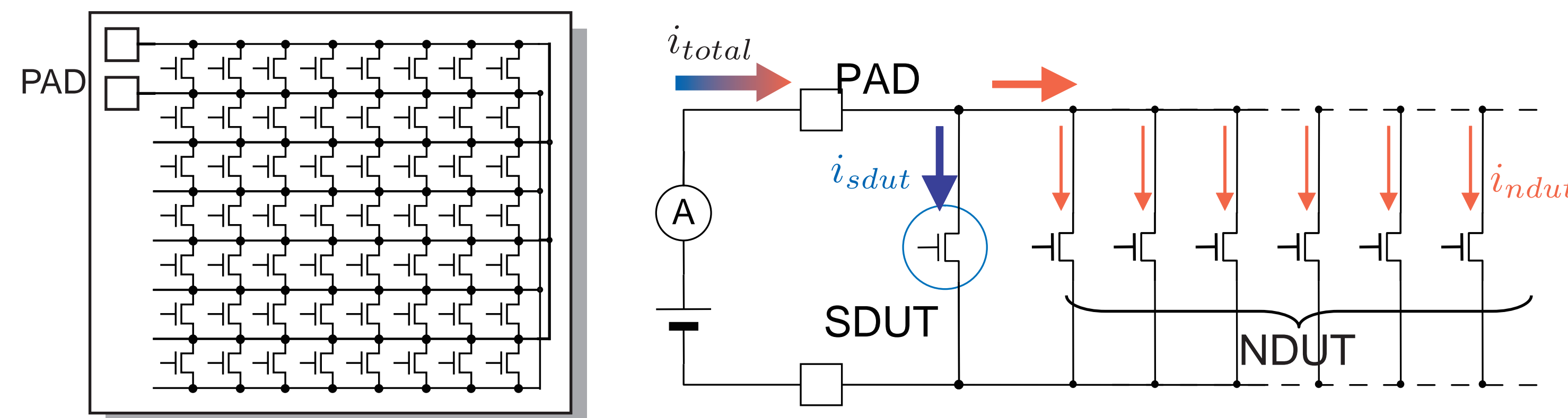
- プロセス設計へのフィードバック
- 物理的現象の解明とモデル化
- 回路設計の最適化

本研究: サブスレシヨルドリーク電流のばらつきを精度良く測定できる回路の提案

素子特性ばらつきの測定

トランジスタアレイ

- チップ上に多数の被測定素子(DUT)を並べる
- 測定素子(SDUT)を1つずつ選択して測定
- 選択していない素子(NDUT)のフロント・バックゲート電圧を制御(ゲート電圧制御)、不要なリーク電流を削減
- PADを複数のDUTが共有するため面積効率向上



リーク電流測定における課題

- 全DUTがドレイン端子を共有
- 測定対象素子SDUTの電流 i_{sdut} の絶対値小
- 非測定対象素子NDUTの電流 i_{ndut} と測定電流 i_{sdut} の差小
- i_{ndut} が測定すべき電流 i_{sdut} に混入し測定精度悪化

高精度なばらつき測定のためには混入電流の低減が必要

本研究の目標

トランジスタアレイ構造によるサブスレシヨルドリーク電流ばらつきの測定を実現

- 3 σ 点の精度確保: 同時搭載可能DUT数 $N > 4000$
- 測定電流の絶対精度確保: 混入電流比 $\gamma: 10^{-3}$ 以下

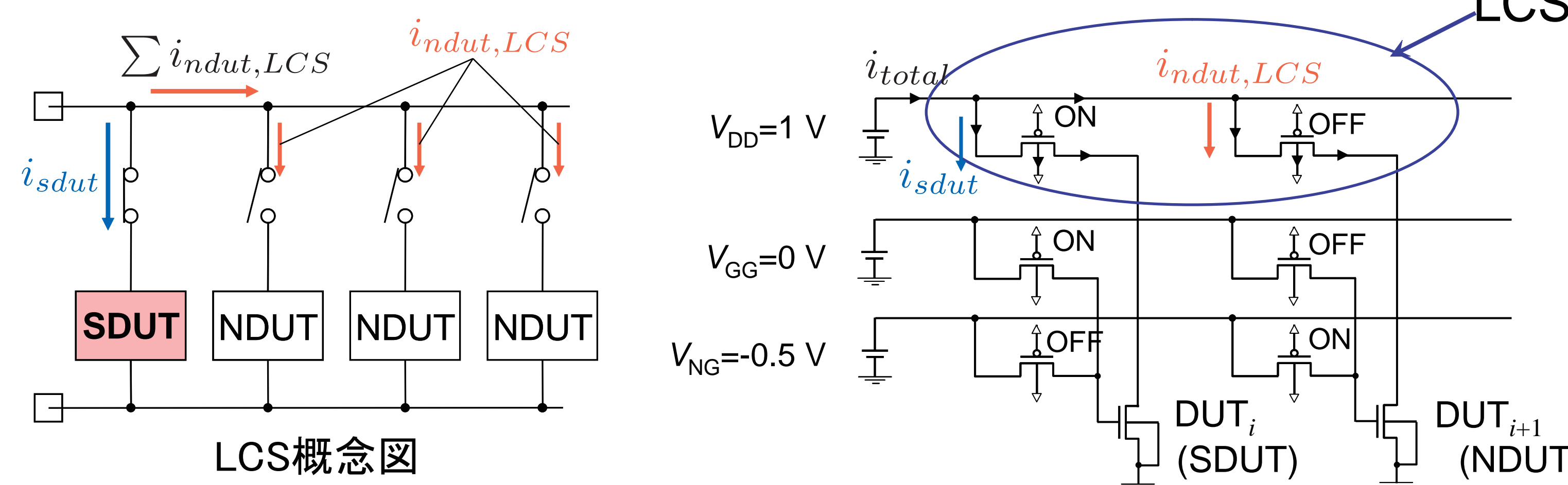
$$\gamma = \frac{\sum i_{ndut}}{i_{sdut}} \quad \begin{array}{l} i_{ndut} \text{ 選択素子以外による混入電流} \\ i_{sdut} \text{ 選択素子のリーク電流の平均値} \end{array}$$

電流測定回路の検討

リーク電流カットスイッチ(LCS)

混入電流を低減するため、NDUTをスイッチトランジスタで遮断

- LCSは厚膜、高耐圧トランジスタで作成
 - オーバドライブ電圧により十分な電流確保
 - LCS自身のゲートリーク低減

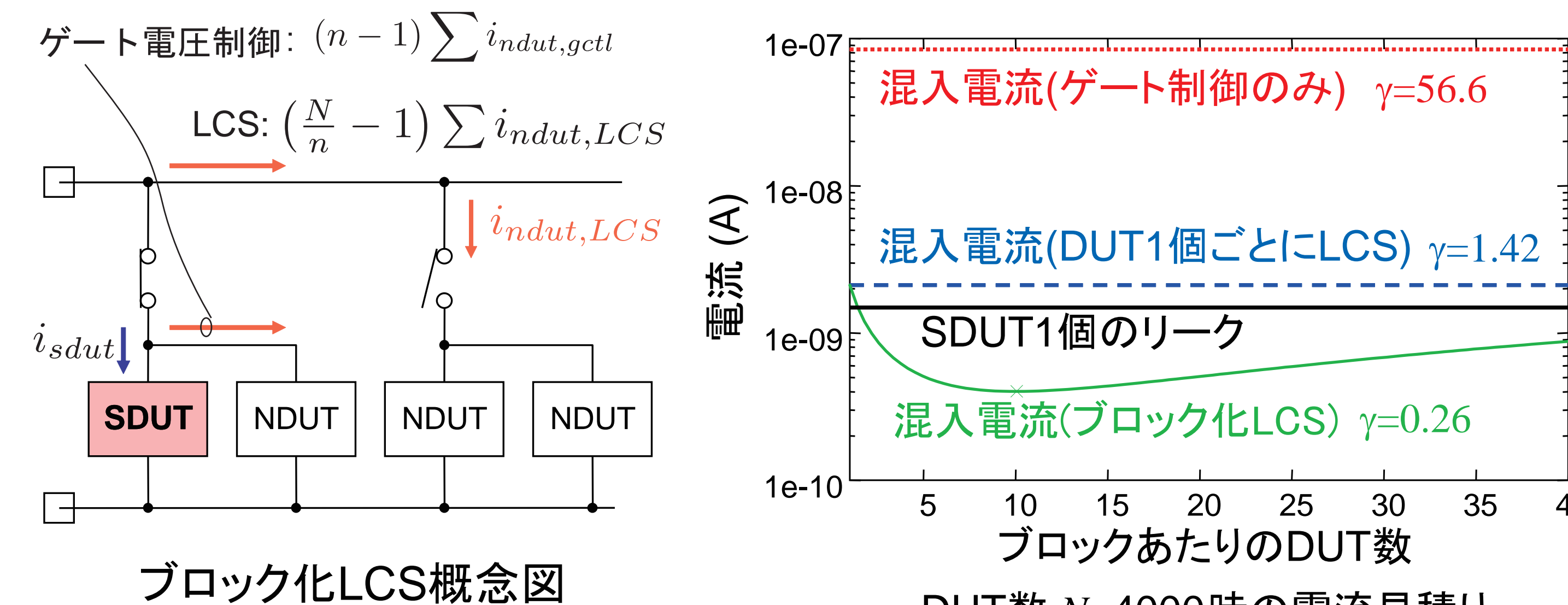


- ゲート制御と比較して混入電流比を約1/40に改善可能
- LCSを構成するトランジスタ自身のソースドレイン間、および基板へのリークあり

ブロック化LCS

LCSとゲート制御の組み合わせによりリーク低減

- 複数(n 個)のDUTをまとめてLCSを適用し、混入電流の原因となるトランジスタ数を削減
- SDUTと同一ブロック内のNDUTはゲート電圧制御によりリーク電流低減



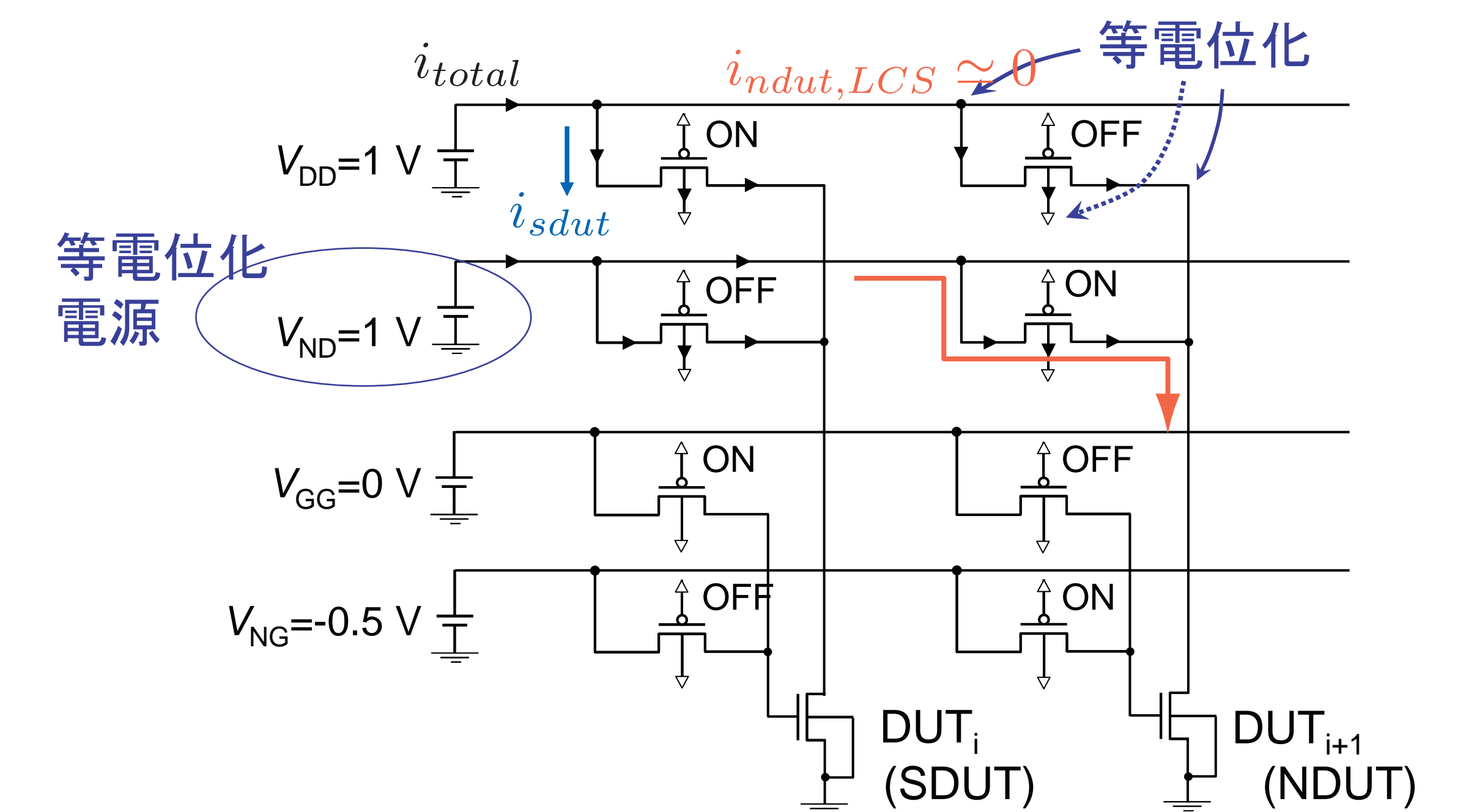
提案する電流測定回路

ブロック化LCSとゲート制御を組合せても目標達成は困難

- 階層化を行うことでさらに混入電流低減できるが多階層化は困難
 - 1) ドレイン電圧モニタ必須のため回路複雑化
 - 2) 制御系回路の面積オーバーヘッド大幅増
- 混入電流の削減効果が不十分

LCS+等電位化

NDUTに接続するLCSの端子を等電位化してリーク電流をなくす



- LCSの端子電圧等電位化のため電源 V_{ND} を追加使用
- リーク電流は V_{ND} より供給され測定電流に混入しない
- 混入電流の主因であるLCSのリーク電流が実質上ゼロとなるため、 i_{total} と i_{sdut} が一致する

提案回路の効果まとめ

回路	SDUTの電流 i_{sdut}	NDUT1個あたり混入電流	DUT数 $N=4000$ 時の混入電流	混入電流比
ゲート制御	1.49 nA	21.1 pA	84.4 nA	56.6
LCS		530 fA	2.12 nA	1.42
ブロック化LCS		21.1 pA	0.40 nA	0.26
LCS+等電位化		13.0 aA	52.0 fA	3.5e-5

結論

リーク電流ばらつきを測定可能な回路を新たに提案, シミュレーションによりその効果を確認

- LCSにより混入電流比を改善できるがばらつき測定には不十分
- LCS+等電位化により混入電流比を 3.5×10^{-5} に低減

数千個のトランジスタのリーク電流ばらつきを測定により求めることが可能となる