

閾値電圧の大域ばらつきが回路遅延ばらつきに与える影響

東京工業大学 中山研究室・益研究室
植山 寛之, 佐藤 高史, 中山 範明, 益 一哉

背景

- LSIの微細化
⇒トランジスタ特性のばらつきが増大
- 回路設計マージンの減少, 設計期間の長期化
- 歩留まりの低下
- ばらつきのモデル化
- ばらつきの理解と回路設計ツールへの提供

ばらつきの分離

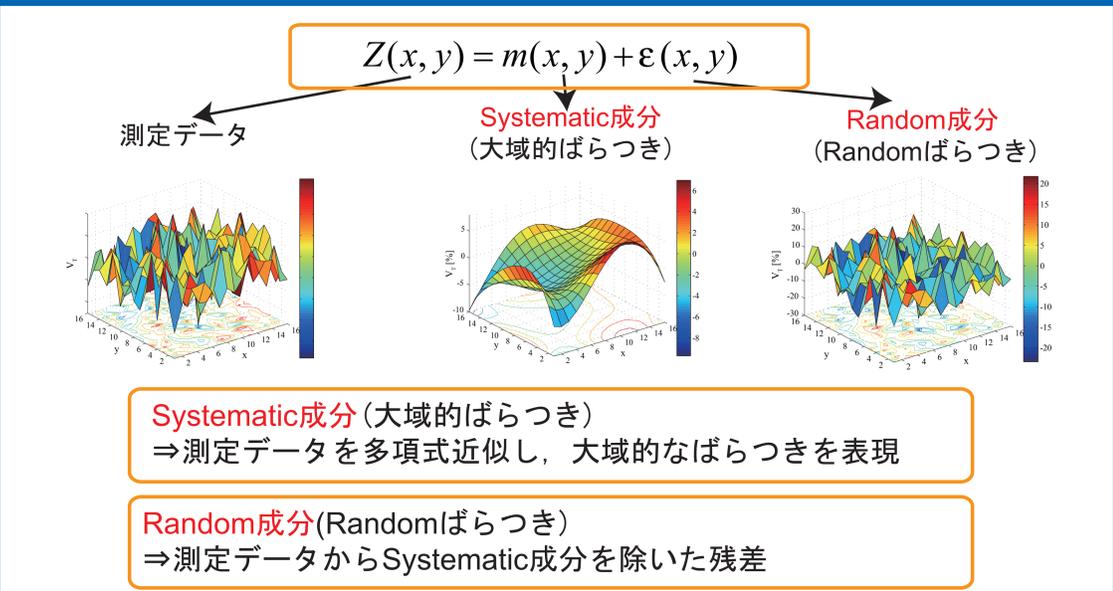
大域的ばらつき

- チップ全体で緩やかに変化するばらつき
- 酸化膜厚の変化, パターン依存性など

Randomばらつき

- 局所的に存在する不規則に変化するばらつき
- 不純物の離散的なばらつき, ラインエッジラフネスなど

ばらつきの多項式近似モデル



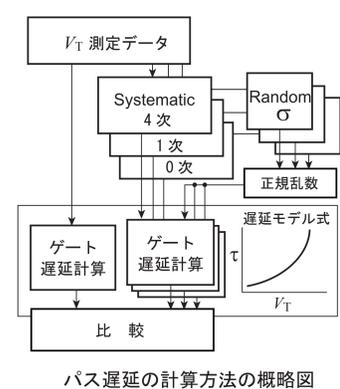
多項式近似における問題点

- 次数が高くなるほど大域的なばらつきは滑らかさを失い, Randomばらつきが小さくなる
- 次数が高くなるほどモデルパラメータ所得のためのサンプル数が多くなる

より低次のばらつきモデルを検討する

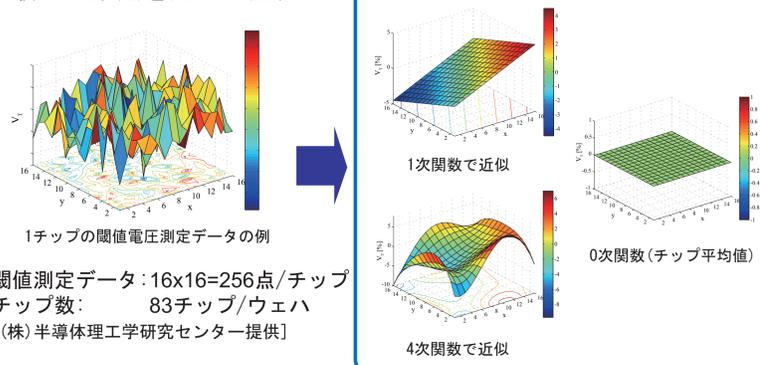
- 測定データを近似する際, その近似式を0次, 1次, 4次関数にしたときの影響を回路性能であるパス遅延時間で比較
- 近似次数を変化させたとき, チップ上でその次数の差によるパス遅延時間への影響が大きい場所, 影響が小さい場所について比較

パス遅延の計算方法



1. Systematic成分

1次, 4次関数で, 閾値電圧の測定データを最小二乗法を用いて近似

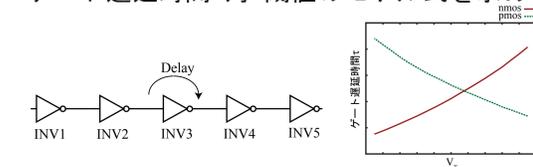


2. Random成分

測定データからSystematic成分を引いたRandom成分の標準偏差を用いて, 正規乱数を発生

3. ゲート遅延のモデル式を求める

別途, HSPICEよりシミュレーションを行い, ゲート遅延時間 対 閾値のモデル式を求めておく

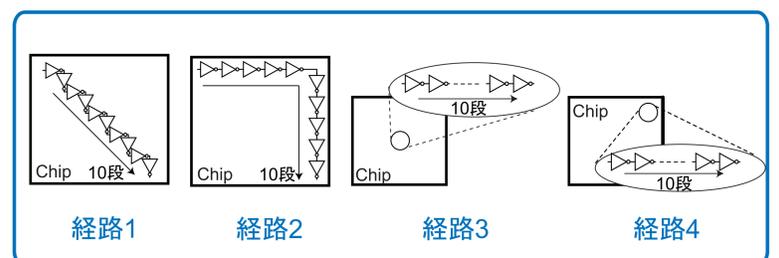


4. チップ上のパスを設定

1次と4次のSystematic成分の差の標準偏差



- 4次と1次のSystematic成分の差の影響が大きい場所, 小さい場所についてチップ上にパスを設定



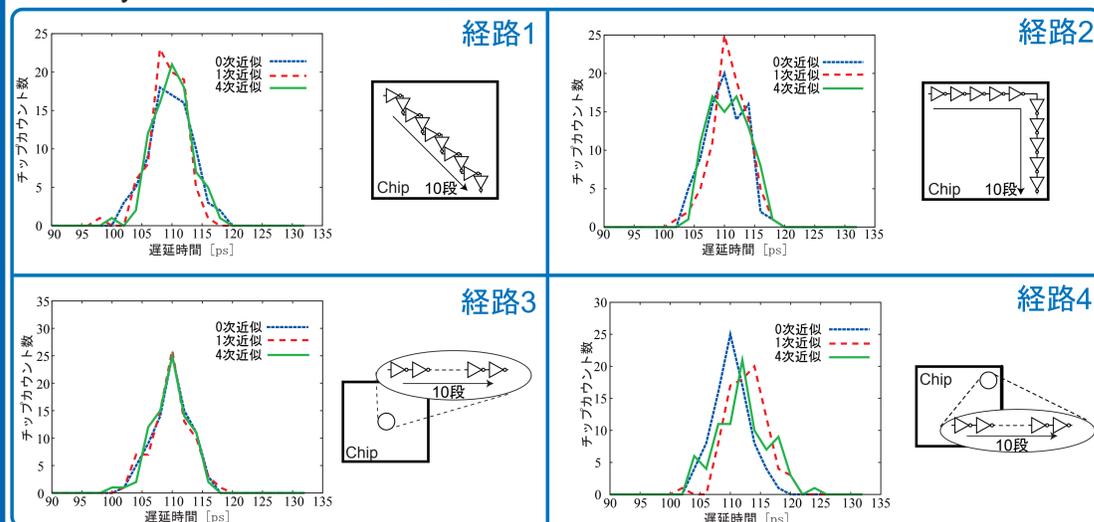
5. パス遅延時間を求める

3で求めたモデル式より, 4の設定した経路について全83チップ分のパス遅延時間を求める

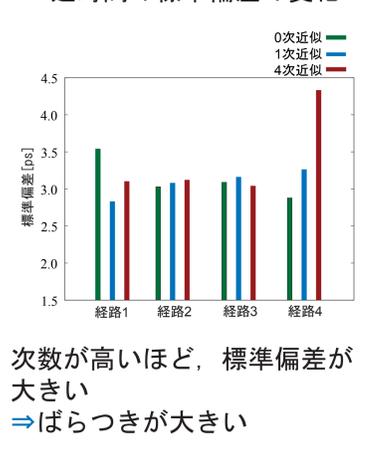
■1チップ分のパス遅延時間 $\tau = \sum_{i=1}^{10} \tau_i$

計算結果

- 1チップごとのパス遅延をヒストグラムで表示
- 1次と4次での差が大きいチップ周辺やチップの角を通るパスは, 0次, 1次, 4次のヒストグラムにずれ
⇒Systematic成分に次数の違いによる影響が出ている



■次数と経路の違いによる遅延時間の標準偏差の変化



まとめ

- チップの周囲や角では, 近似次数による差が大きく現れる
- チップの周囲以外では, 近似する次数の違いによる影響は小さい
- 近似する次数が高いほど, チップの周囲や角のばらつきが大きく出る
- ばらつきをモデル化する際に, 実際にモデル化する範囲を回路より広く取ることで, 低い次数でSystematic成分を表現することが可能