

WLCSP技術を用いた低消費電力オンチップ伝送線路配線の設計

¹峰山 亜希子, ¹石井 隆宏, ¹木村 実人, ²伊藤 浩之, ¹岡田 健一,
³畠山 英樹, ³相澤 卓也, ³伊藤 達也, ⁴山内 良三, ¹益 一哉
¹東京工業大学 統合研究院, ²東京工業大学 精密工学研究所,
³(株)フジクラ 電子デバイス研究所, ⁴(株)フジクラ

背景

Si CMOS プロセスの微細化

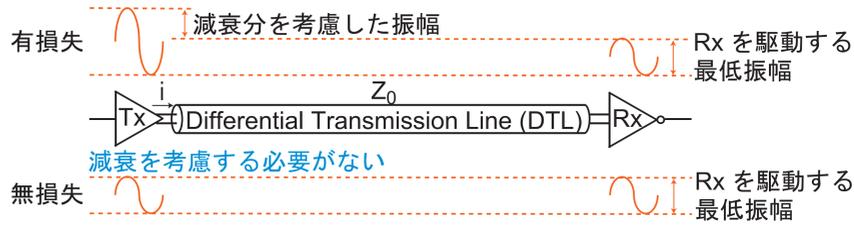
- デバイス、ローカル配線の遅延：減少
- グローバル配線の遅延：増加 → LSI 全体の性能を律速

伝送線路配線

- 電磁波の速度で伝わる波を用いた信号伝送
- リピータレス → 遅延・遅延ばらつき・消費電力を向上
- オンチップ配線の大きな配線抵抗 (= 損失)

配線抵抗の影響

Tx の出力振幅 (v) = Rx 最低振幅 (一定) + DTL での減衰分



$v = i \times Z_0$: Tx の出力振幅が大きい = Tx の消費電力が大きい

→ 損失をなくすことができれば Tx の消費電力を低減できる。

目的

配線抵抗を小さくすることによる低消費電力化



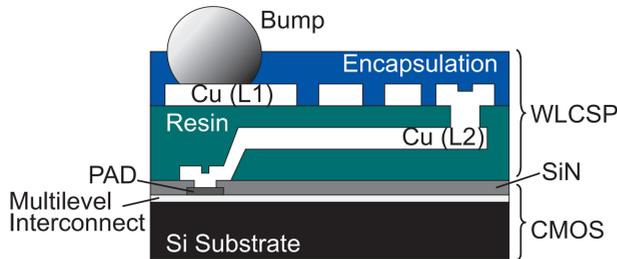
WLCSP (Wafer Level Chip Scale Package) 技術の利用

WLCSP 技術の利用

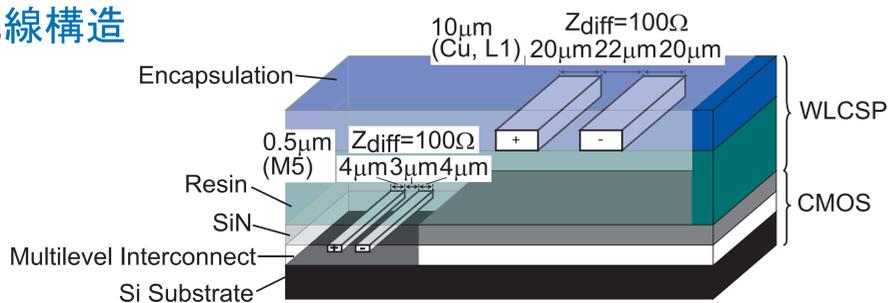
WLCSP 技術

● ウエハの状態のまま銅の再配線、電極端子形成と樹脂封止を行い、その後チップサイズに切り分けるパッケージング技術。

- IC チップと同一サイズでパッケージング可能
- 特殊なプロセスを開発する必要がない
- 低コスト
- 厚いメタル & 絶縁膜 = 低損失な配線



配線構造



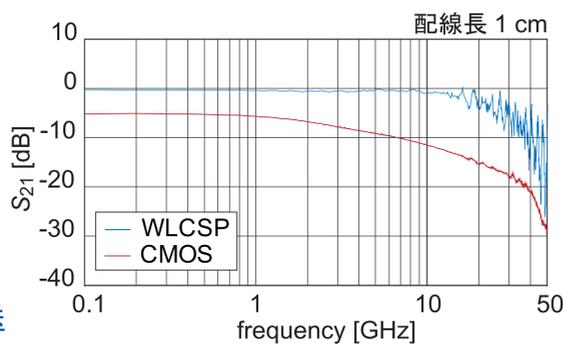
プロセス	配線抵抗	減衰
CMOS	125.0 Ω/cm	8.6 dB/cm
WLCSP	0.8 Ω/cm	0.5 dB/cm

@2.5 GHz

配線抵抗の低減 → 減衰の低減

減衰の周波数特性

- 全体的に減衰が小さい → 低損失な伝送線路 = 低消費電力化
- 高周波領域の減衰も小さい → 急峻な立ち上がり = 小遅延化、高速な信号伝送

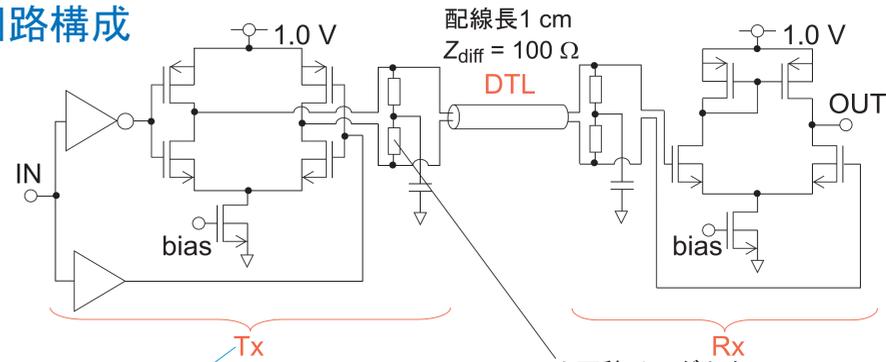


シミュレーションに用いた S パラメータを測定した配線 (1 mm)



シミュレーション

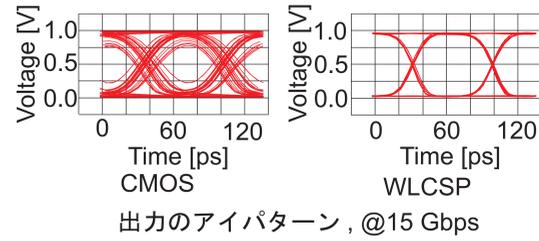
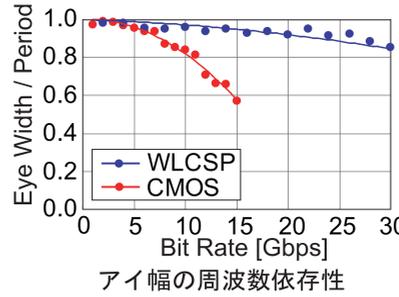
回路構成



Rx を駆動するのに必要な振幅 + DTL で減衰する振幅を出力するようにトランジスタの寸法を調整する。

小面積インダクタ
 10 μm × 12.8 μm
 0.5 nH, Q = 2
 パッシブコライゼーションを行い伝送線路の高周波損失を補正する。

シミュレーション結果



Process	Power consumption [mW]				Delay [ps]
	Tx_inv	Tx	Rx	Total	
CMOS	0.24	3.81	1.75	5.81	196
WLCSP	0.05	1.22	1.80	3.07	105

配線長 1 cm, 5 Gbps

● 信号伝送の高速化

- 高周波領域での減衰の低減

● 遅延の低減 (約 46%)

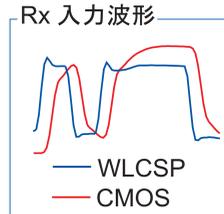
- 高周波領域での減衰の低減 → 急峻な立ち上がり

● 消費電力の削減 (約 47%)

- 伝送線路の抵抗損の低減 → Tx の振幅の削減 = Tx の消費電力削減 (約 68%) ← 理論値 57%

● Energy/bit : 3.07 mW/30 Gbps = 0.10 pJ/bit

- 現在報告されているオンチップ高速配線の最小値 (0.25pJ/bit) の半分以下の値。



まとめ

- オンチップ伝送線路配線への WLCSP 技術の利用を提案した。
- 伝送線路への WLCSP 技術の利用により、CMOS プロセスのみのものと比べて、高速化、小遅延化、低消費電力化が可能となる。