

電源電圧降下の時間的・空間的広がり可視化回路の設計

上 藺 巧, 佐藤 高史, 益 一哉

東京工業大学 統合研究院 益研究室

背景

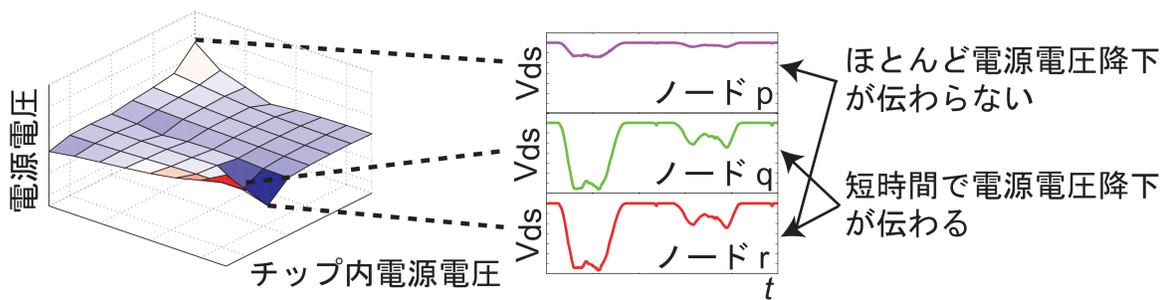
- 電力密度の増加
- 消費電力削減のための低電圧化

信頼性の高い回路設計を行うためには

- 電源網の設計時に電源電圧変動を精度良く計算・予測できるツール
- 電源電圧を集積回路の動作時に随時観測して回路動作にフィードバックする回路

目的

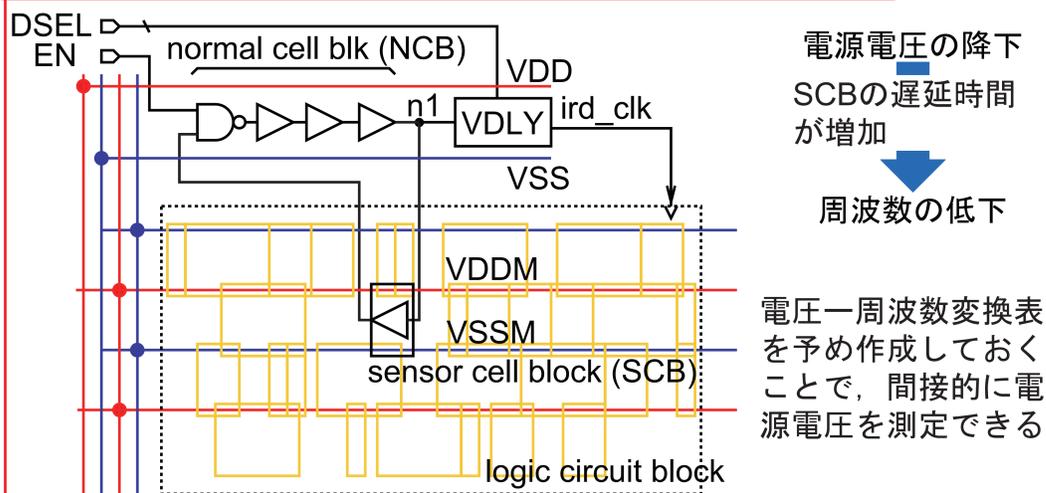
- ある点で起こった電源電圧降下は電源網を通じて他点に広がる



小面積かつ簡易に電源電圧降下の時間的・空間的広がりを可視化する回路の作成
→電源電圧の監視, 電圧降下不良の事前予測

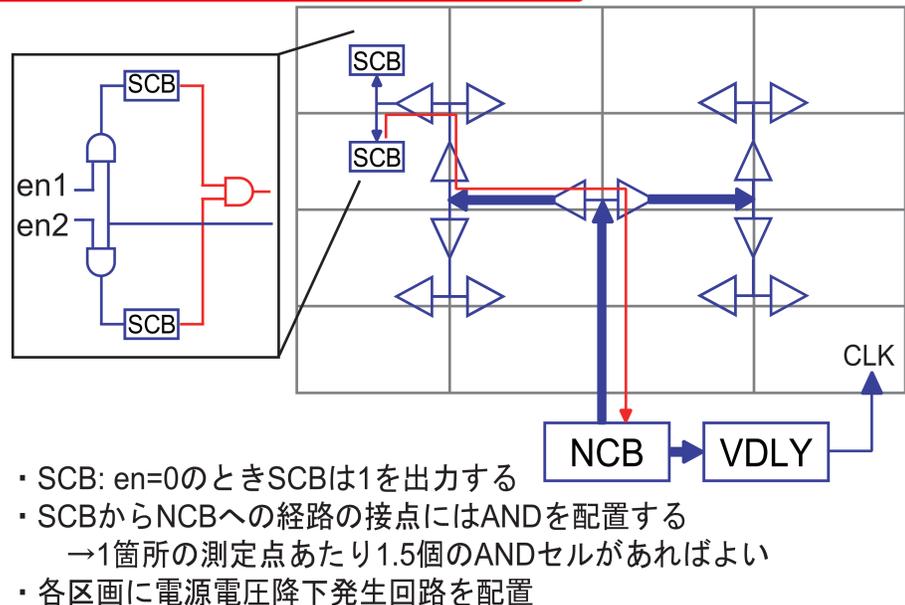
試作回路

リングオシレータを用いた電圧降下測定手法[1]

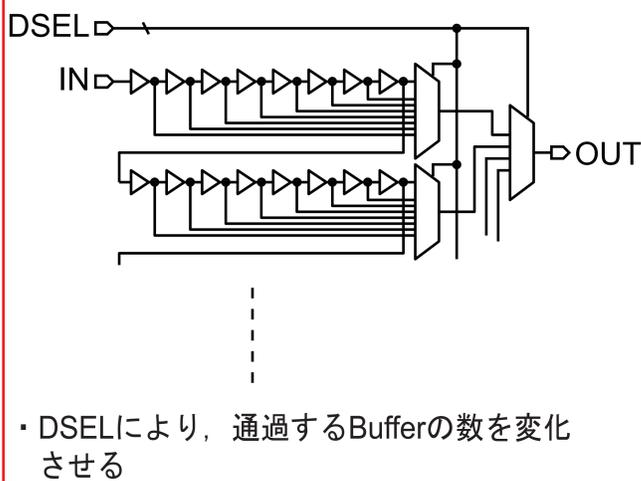


[1] T. Sato, Y. Matsumoto, K. Hirakimoto, M. Komoda, and J. Mano, "A time-slicing ring oscillator for capturing instantaneous delay degradation and power supply voltage drop," in Proceedings of IEEE Custom Integrated Circuits Conference, 9 2006, pp. 563-566.

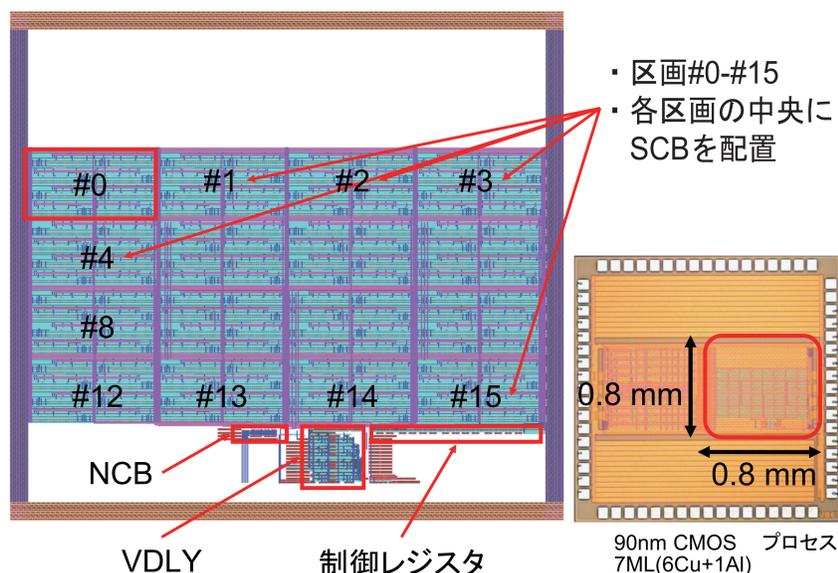
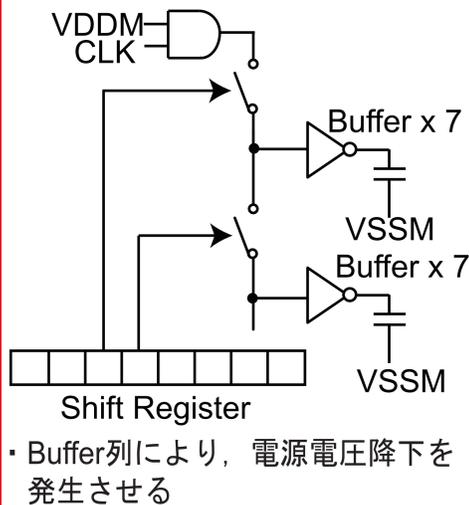
多数点の電源電圧降下測定回路



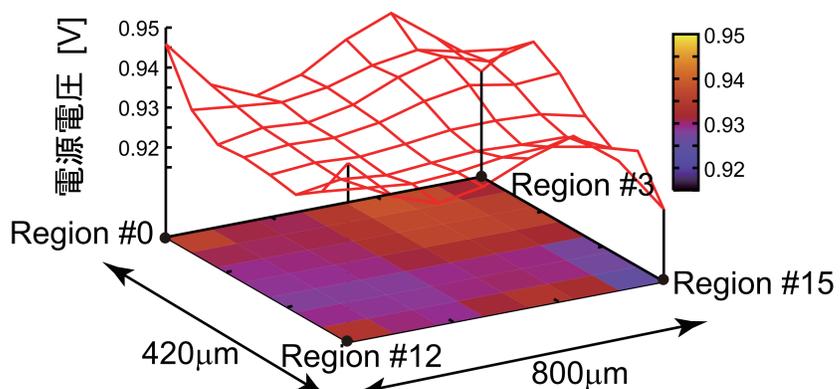
可変遅延回路(VDLY)



電源電圧降下発生回路



測定結果

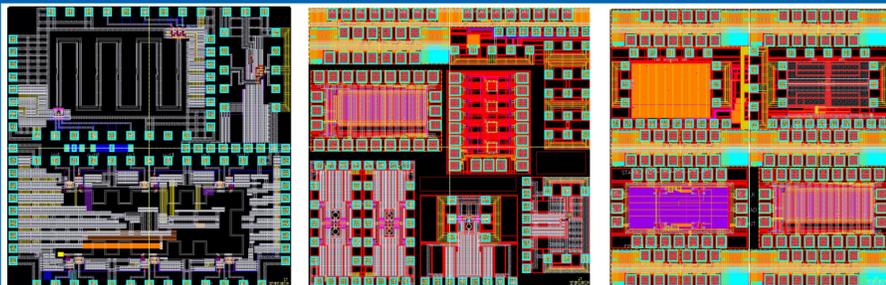


- Region #15の電源電圧降下発生回路のみを動作
- 電源電圧降下の時間・場所依存性を評価可能

結論

- リングオシレータを用いて電圧一周波数変換を行う回路を設計した
- リングオシレータを用いてチップ内の複数の点の電源電圧を測定する手法について検討を行い試作チップによりその動作を確認した
- 本回路構成により, 電源電圧降下の空間的・時間的な広がりを可視化可能である

付録 一 益研究室で試作した回路



左: アナログ回路のみ
中: アナログ回路とデジタル回路
右: デジタル回路のみ