

ウェハレベルパッケージ技術による高Q値インダクタとその高周波ICへの応用

上道 雄介^{1,3} 伊藤 浩之² 岡田 健一¹ 畠山 英樹^{1,3} 伊藤 達也³ 益 一哉¹
¹ 東京工業大学 統合研究院 ² 東京工業大学 精密工学研究所
³ (株)フジクラ 電子デバイス研究所

背景

- ・ SiCMOSプロセスの微細化によりCMOSの高周波特性が向上し、RFCMOS回路の無線通信機器への実用化が進む。
- ・ 高周波回路の性能向上には高Q値を持つインダクタが必要
 電圧制御発振器 ⇒ 低位相雑音化, 低雑音増幅器 ⇒ 低雑音指数化
- ・ 現状のCMOSプロセスでは高いQ値を持つインダクタが実現できない
- ・ 今回、厚膜樹脂層と厚膜銅配線を用いたウェハレベルパッケージ技術による低コストな高Q値インダクタを提案。高周波ICへの応用を検討

現状のオンチップインダクタ (CMOSプロセス)

- ・ 薄膜Al配線 (1~2μm) ⇒ 配線抵抗による損失
- ・ 低比抵抗Si基板 ⇒ 渦電流による損失

Q値 3~15 ($Q = \omega L / R$)

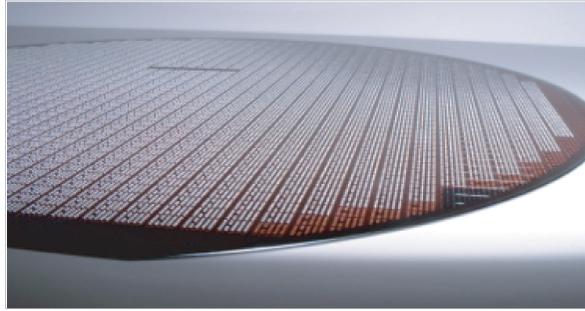
低いQ値 ⇒ 高周波回路の性能を制限

ウェハレベルパッケージ (WLP) 技術

ウェハ状態で再配線形成、電極端子 (はんだバンプ) 形成を行い、樹脂封止後にチップを切り出す最先端のパッケージング技術

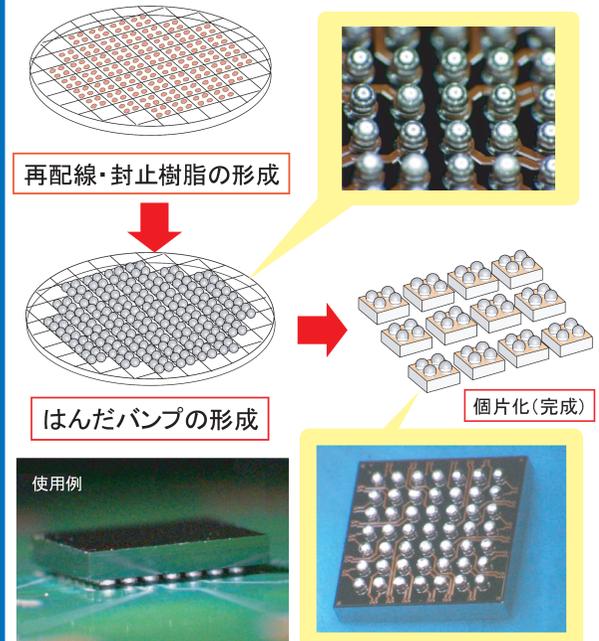
■ 主な特色

- ・ ICチップと同一サイズ ⇒ 超小型サイズ
- ・ フトリソグラフィ技術とめっき技術を応用 ⇒ ミクロンレベルでの微細加工が可能 ⇒ ~10μmの厚膜銅配線が形成可能
- ・ はんだバンプによる実装 ⇒ 寄生インダクタンスの低減



ウェハレベルパッケージの工程

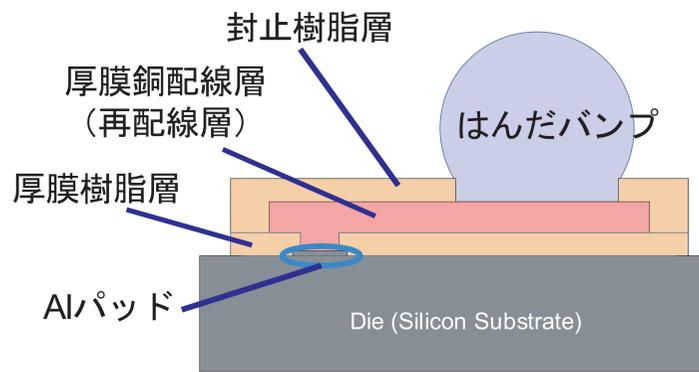
1. 再配線・封止樹脂層の形成
2. はんだバンプの形成
3. 個片化 (ダイシング)



ウェハレベルパッケージの構造

■ 工程詳細

1. 第1樹脂層形成
2. 再配線層形成
3. 封止樹脂層形成
4. はんだバンプ形成
5. リフロー

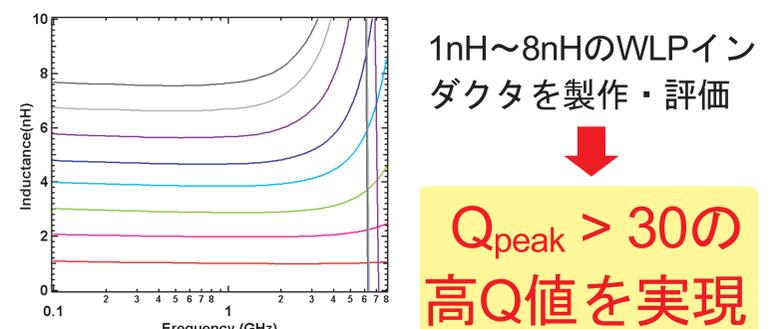


ウェハレベルパッケージ (WLP) 技術を用いたインダクタ

■ 主な特色

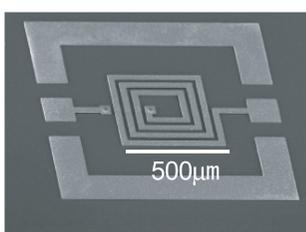
- ・ 厚膜銅配線 ⇒ 低抵抗 ⇒ 抵抗損失、小 (WLP銅配線: 10μm / CMOSアルミ配線: 1~2μm)
- ・ 厚膜樹脂層 ⇒ Si基板との距離、大 ⇒ 基板損失、小
- ・ パッケージに内蔵

WLPインダクタの特性例 (実測)

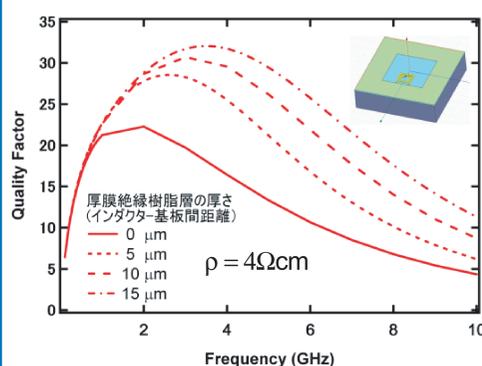


WLPインダクタの構造例

- 第1樹脂層 10 μm
- 第1配線層 5 μm
- 第2樹脂層 10 μm
- 第2配線層 10 μm
- 封止樹脂層 10 μm



インダクタ-基板間距離とQ値の関係 (シミュレーション結果)



厚膜絶縁樹脂層 ⇒ Q値向上に貢献

