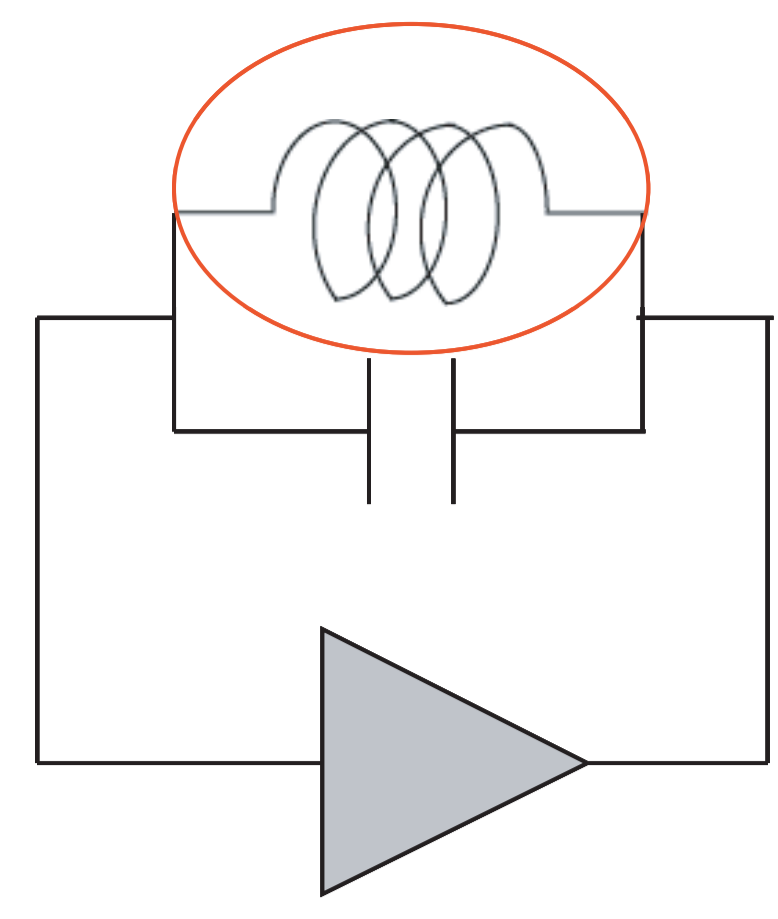


LCVCO（電圧制御発振器）への応用

■背景

LCVCOの特性（位相雑音、消費電力）
⇒ インダクタの性能（Q値）に左右



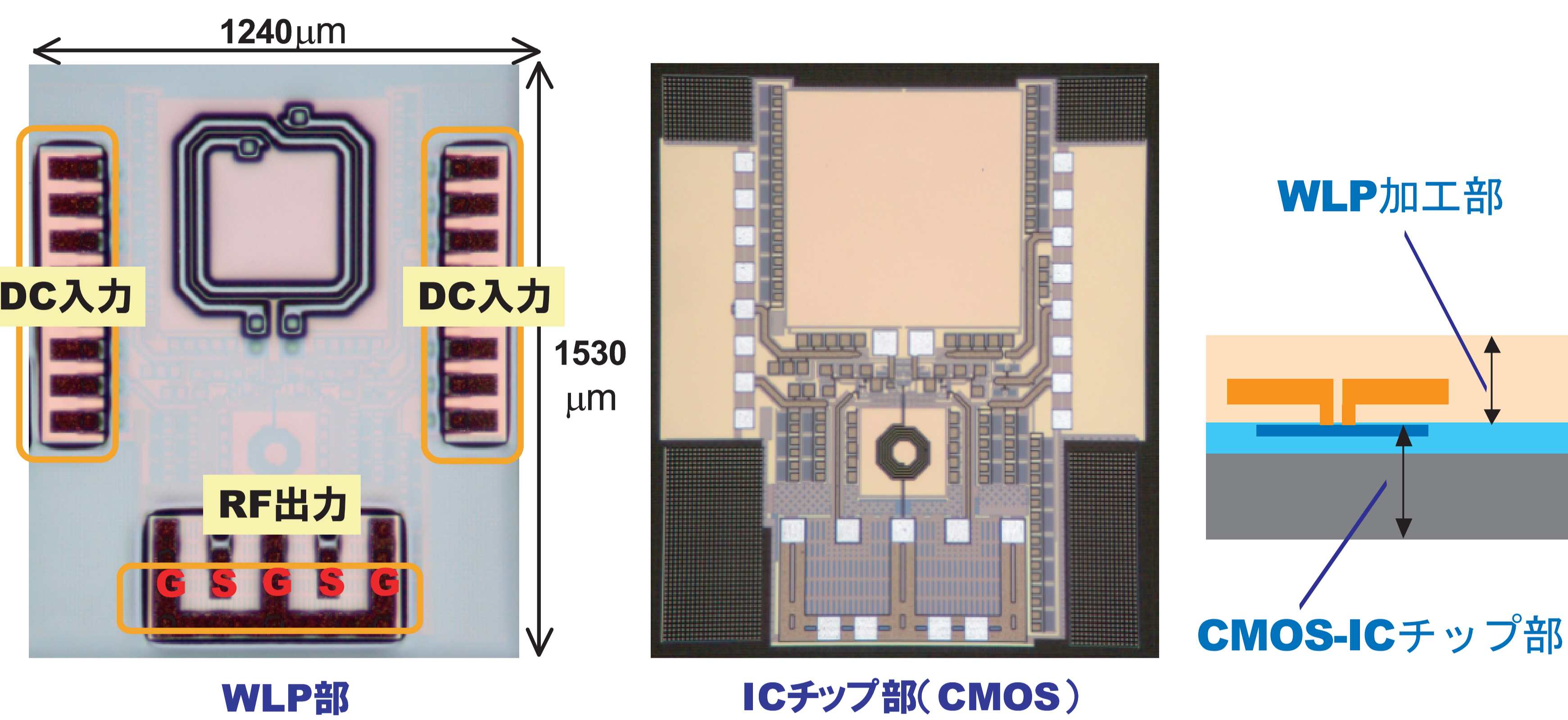
■実験概要

2種類のVCOを製作（発振周波数1.9GHz）

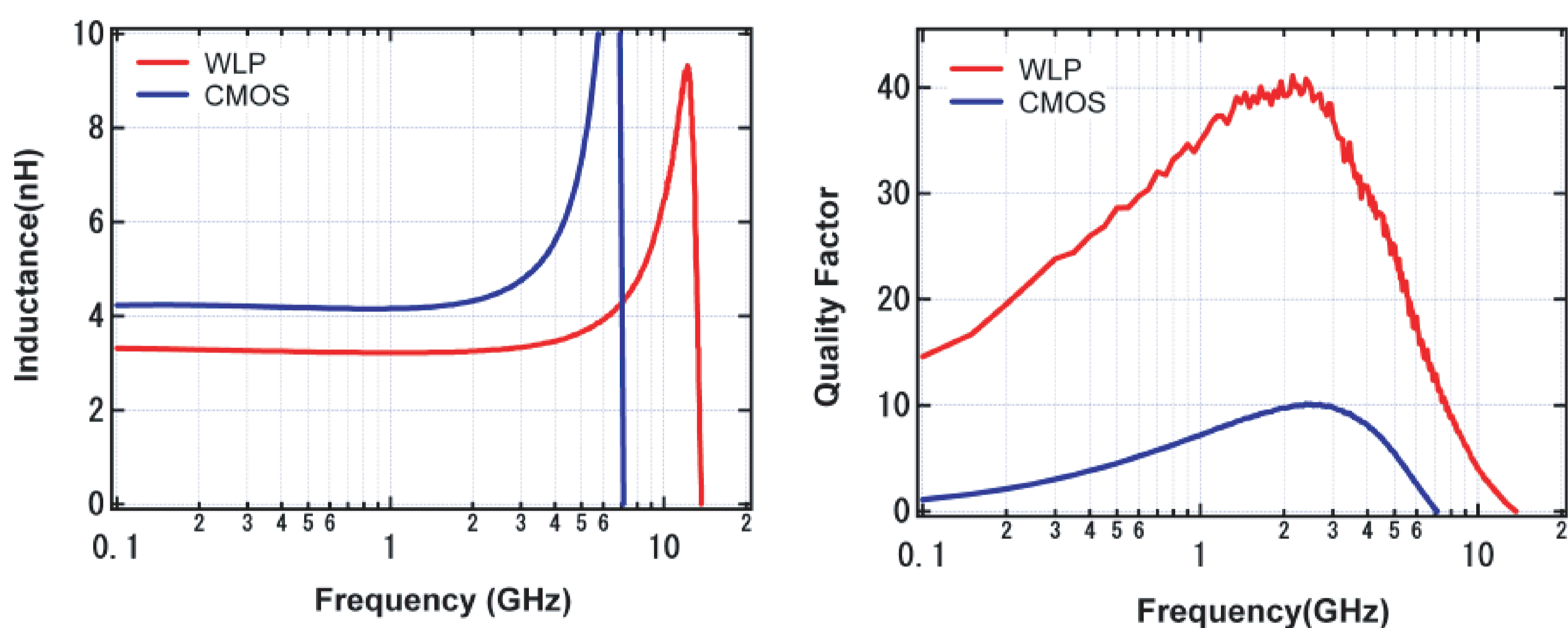
- ・全てCMOSプロセス（0.18μm）で製作し、オンチップインダクタを採用したVCO
- ・コア回路はCMOSプロセスで製作し、WLPインダクタを採用したVCO

⇒ 両者を評価し、特性を比較

WLPインダクタを応用したLCVCO（TEG）



LCVCOに採用した2種類のインダクタの特性比較（実測値）



インダクタンス値
WLPインダクタ/CMOSインダクタ
3.2nH / 4.2nH @ 2GHz

Q値
WLPインダクタ/CMOSインダクタ
~40 / ~10 @ 2GHz

WLPインダクタのQ値 ⇒ CMOSインダクタの4倍

■実験結果（LCVCOの測定結果まとめ）

| | WLPインダクタ応用 | CMOSインダクタ |
|-------------------------------|------------|-----------|
| 電源電圧（V） | 1.80 | 1.80 |
| 消費電流（mA） | 3.17 | 3.19 |
| 消費電力（mW） | 5.71 | 5.74 |
| 発振周波数（GHz） | 1.91 | 1.92 |
| チューニングレンジ（%） | 1.75 | 2.05 |
| 位相雑音（dBc / Hz） 離調周波数 50kHz | -105 | -98 |
| 位相雑音（dBc / Hz） 離調周波数 1MHz | -134 | -128 |

■まとめ（LCVCO（電圧制御発振器）への応用）

LCVCOの特性

- ・位相雑音
⇒ WLPインダクタを搭載したことにより7dB向上
- ・チューニングレンジ
⇒ WLPインダクタを搭載しても寄生容量成分による大きな劣化はなし（0.3%）

まとめ

- ・WLP技術を応用した高Q値インダクタを提案
- ・LCVCOの共振回路にWLPインダクタを採用
⇒ 位相雑音7dBの改善を確認
- ・LNAへのWLPインダクタの応用をシミュレーションにより検討
⇒ 雑音指数0.8dB、利得3dBの改善が期待

WLP技術 ⇒ 高性能なRFCMOS回路の実現に有用

LNA（低雑音増幅器）への応用検討

■背景

- LNA（低雑音増幅器）の入力整合
- ⇒ Q値の低いオンチップインダクタを利用
- ⇒ 雑音指数の悪化を招く（入力換算雑音の増加）
- ⇒ WLPインダクタの適用を検討

■検討概要

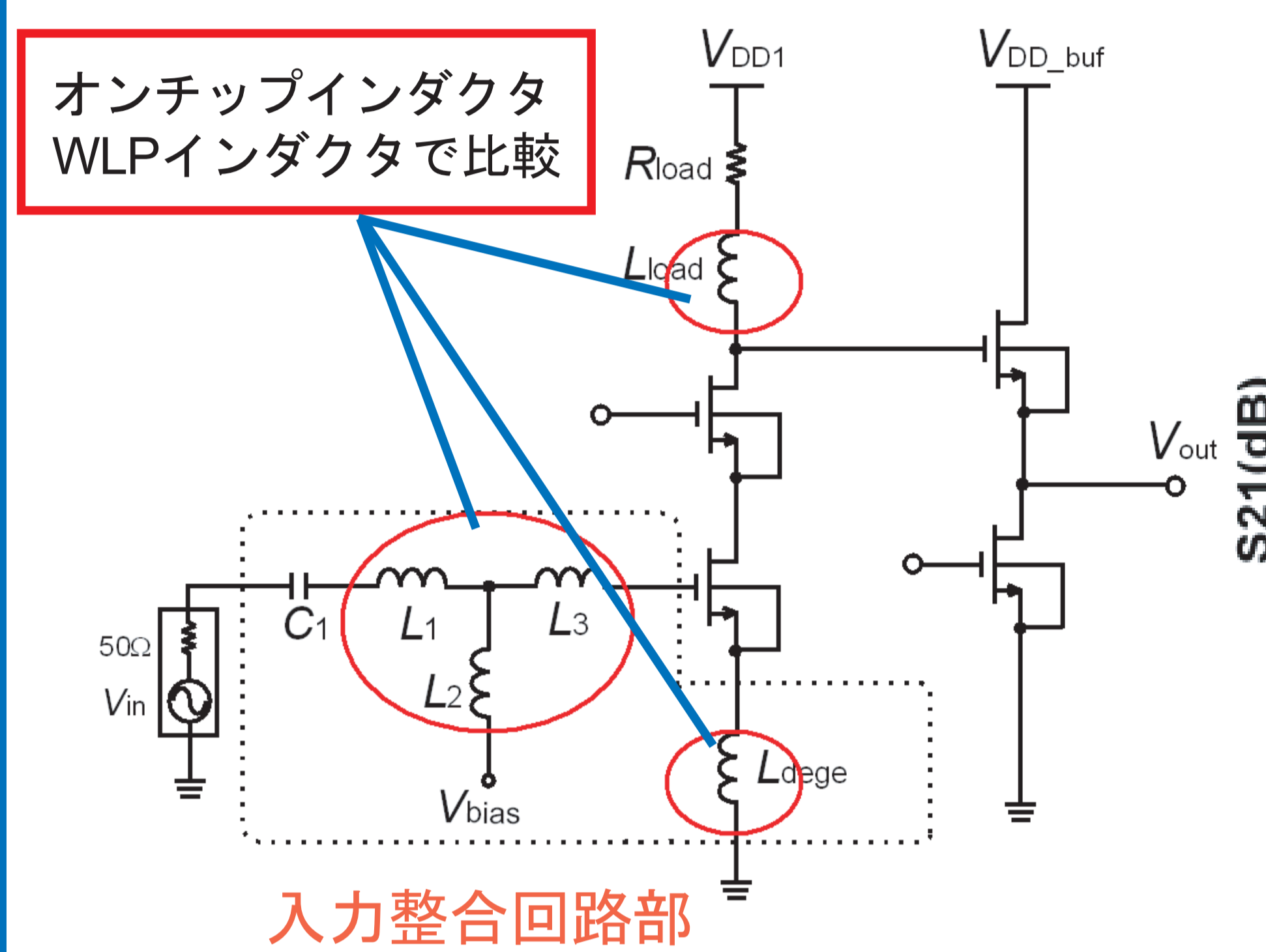
2種類のLNAを検討

- ・入力整合回路と負荷にオンチップインダクタを用いたLNA
- ・入力整合回路と負荷にWLPインダクタを用いたLNA

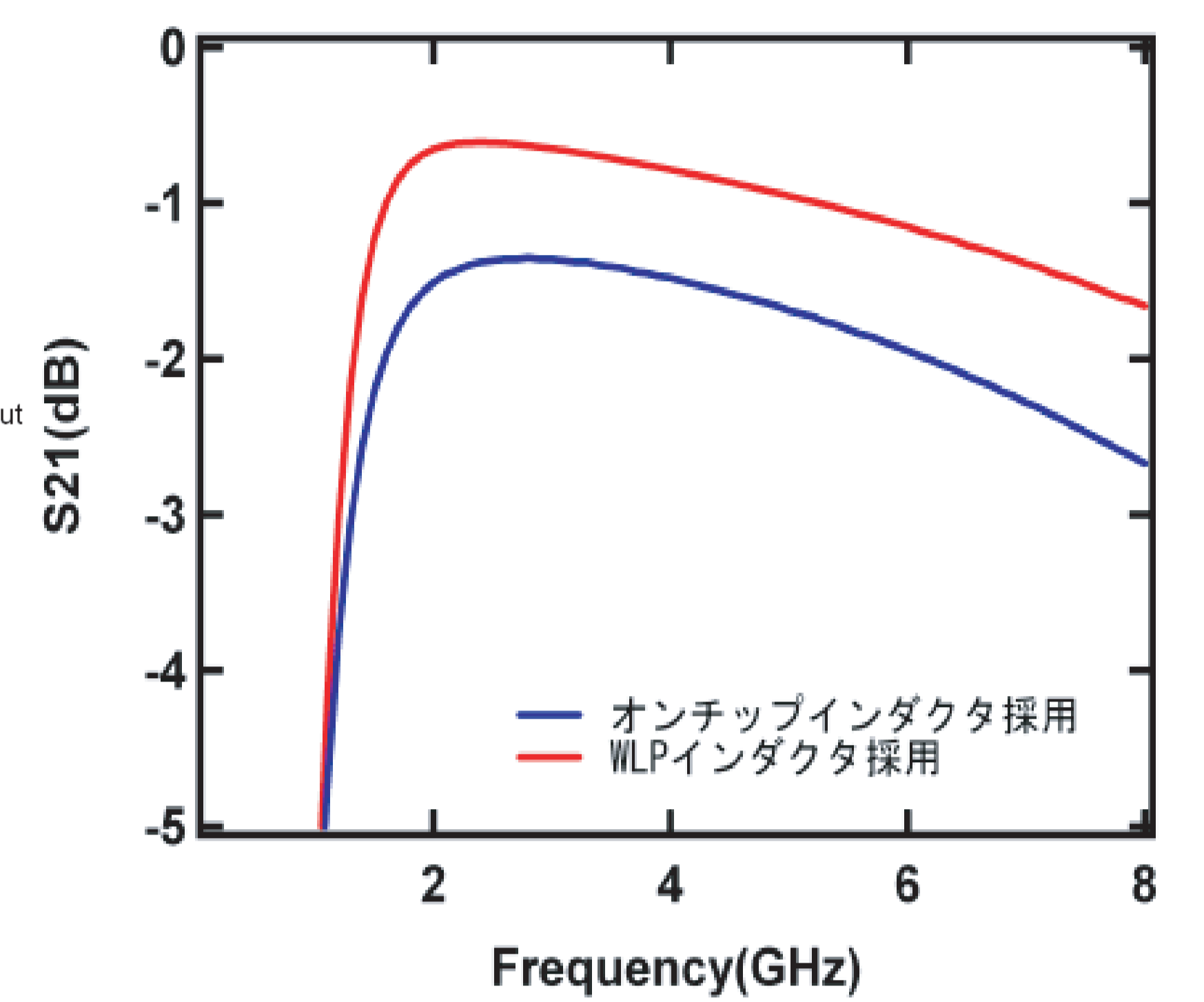
⇒ 両者の特性をシミュレーションにより比較

■検討結果

検討した回路トポロジ

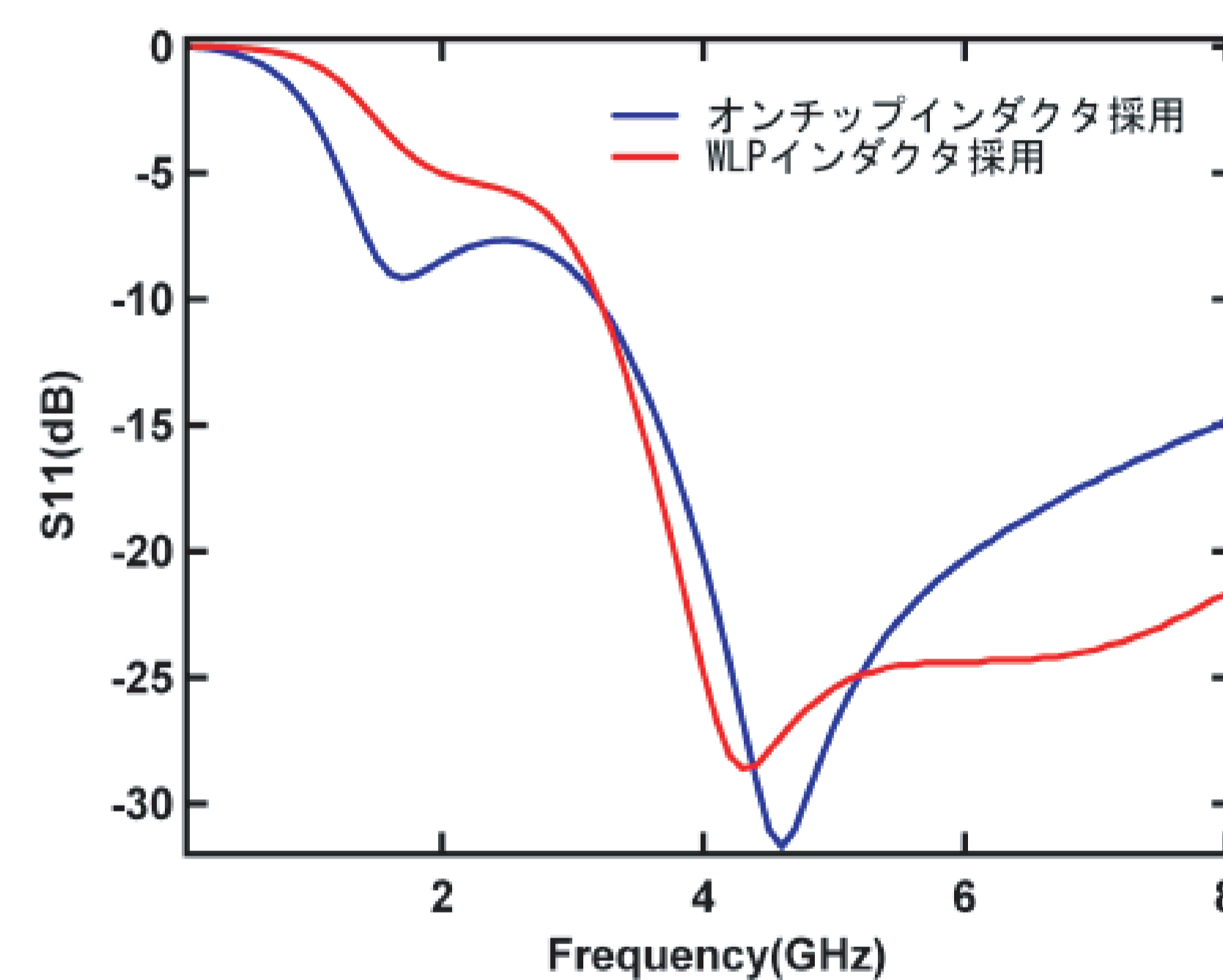


入力整合回路の通過損失のシミュレーション結果



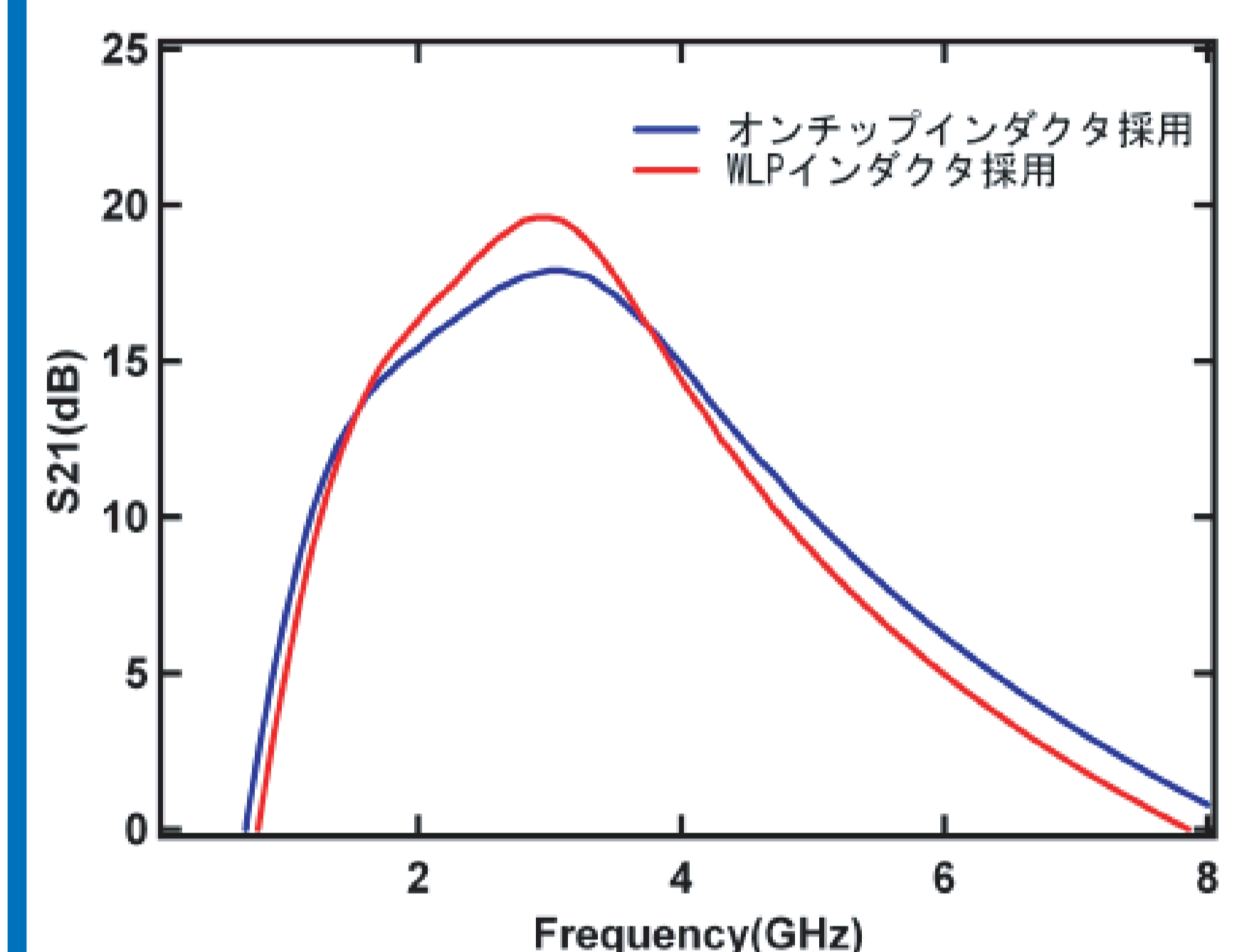
入力整合回路にWLPインダクタを採用
⇒ 約0.9dBの通過損失の低減が期待

反射特性のシミュレーション結果



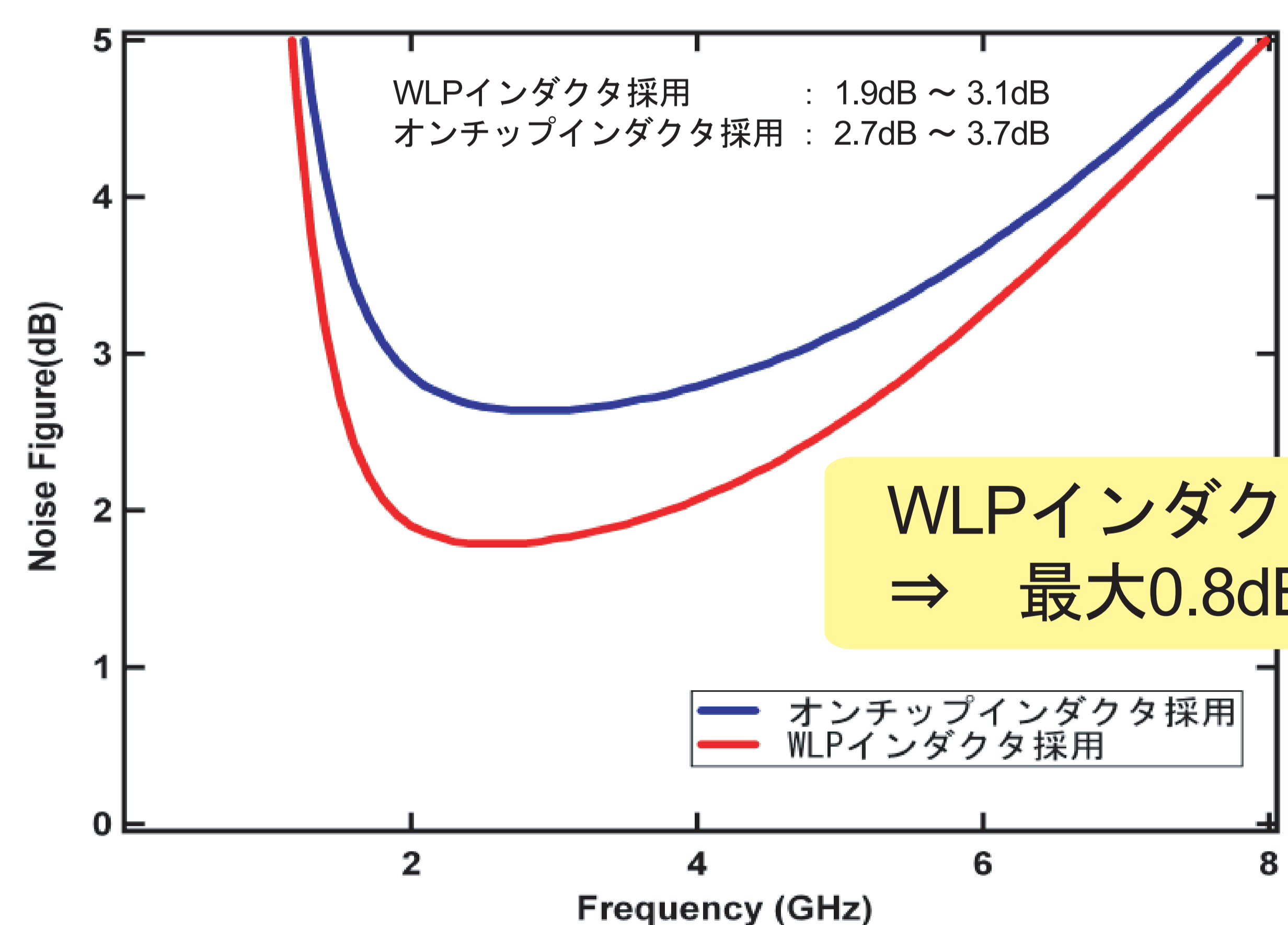
入力整合 < 10dB (>3GHz)

利得のシミュレーション結果



入力整合回路、負荷にWLPインダクタを採用
⇒ ピーク利得3dBの改善が期待

雑音指数のシミュレーション結果



WLPインダクタを採用
⇒ 最大0.8dBの改善が期待

■まとめ（LNA（低雑音増幅器）への応用）

LNAの入力整合回路と負荷にWLPインダクタを適用することによる改善をシミュレーションにより見積もった。

- ・入力整合回路の通過損失 ⇒ 0.9dB改善
- ・利得（ピーク） ⇒ 3dB改善
- ・雑音指数 ⇒ 0.8dB改善