

サブミクロンCMOSを用いた低位相雑音電圧制御発振器(VCO)の研究

東京工業大学 統合研究院

小林由佳 伊藤浩之 石原昇 益一哉

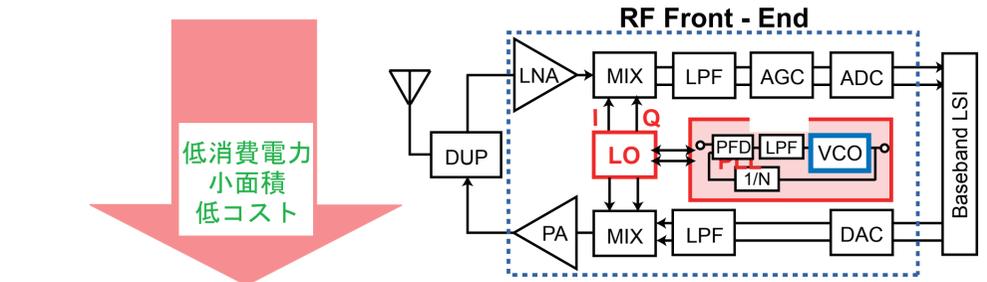
背景

Si CMOSプロセスの微細化
On-chip CMOS RF回路が実現

Mobile phone(WCDMA, GSM)
WLAN (802.11a/n/b/g, Bluetooth, Zigbee, WiMAX)
GPS, DTV, EDGE, etc.

ユビキタス社会の実現

様々な周波数帯の無線通信方式が存在(400MHz-6GHz)
複数の通信方式を満たす多機能端末が実現



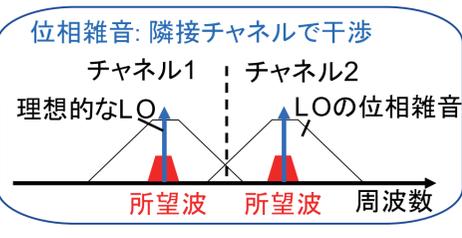
低消費電力
小面積
低コスト

1チップで複数の通信方式に対応可能な
マルチバンドCMOS RF フロントエンドの要求

電圧制御発振器 (VCO): チャンルを選択に必要

[要求される性能]

- ・広帯域動作 (400MHz-6GHz)
- ・低位相雑音 (GSM規格)
- ・低消費電力動作
- ・小面積
- ・電源, 基板ノイズの高い耐性
- ・submicron CMOS process, etc.



本発表ではサブミクロンCMOSを用いた
低位相雑音VCOについて検討する

提案VCOの回路トポロジー

位相雑音のモデル式 (Leesonの式)

$$L(\Delta\omega) = \frac{2kTF}{P_{osc}} \left\{ 1 + \left[\frac{f_0}{2Q_{tank}\Delta f} \right]^2 \right\} \left[1 + \frac{f_c}{\Delta f} \right] \text{ [dBc/Hz]}$$

$L(\Delta\omega)$: 位相雑音
 Q_{tank} : 共振器のQ値 $\approx Q_L$
 f_0 : 発振周波数[Hz]
 Δf : オフセット周波数[Hz]
 F : ノイズファクタ
 P_{osc} : 発振出力パワー[W]
 f_c : コーナー周波数[Hz]

微細化に伴い, 位相雑音は悪化の可能性

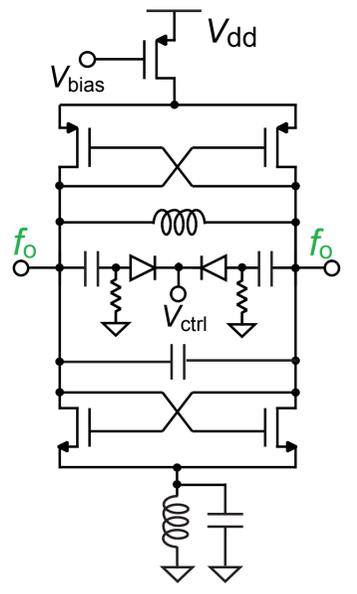
位相雑音で支配的なノイズ源

- トランジスタのフリッカ雑音
 - トランジスタの熱雑音
 - インダクタの熱雑音, etc.
- 支配的なトランジスタの雑音を抑制する回路トポロジーを検討

提案回路

低位相雑音化のための回路技術

- 1, pMOS電流源
- 2, CMOS型
- 3, 容量結合
- 4, フィルタリング
- 5, High-Q インダクタ



Cross-coupled pair

チャネル熱雑音 $\propto 4kT\gamma g_{d0}$
フリッカ雑音 $\propto 1/WL$

低消費電流と大振幅
が位相雑音抑制に望まれる

同じ g_m をもつとすると...

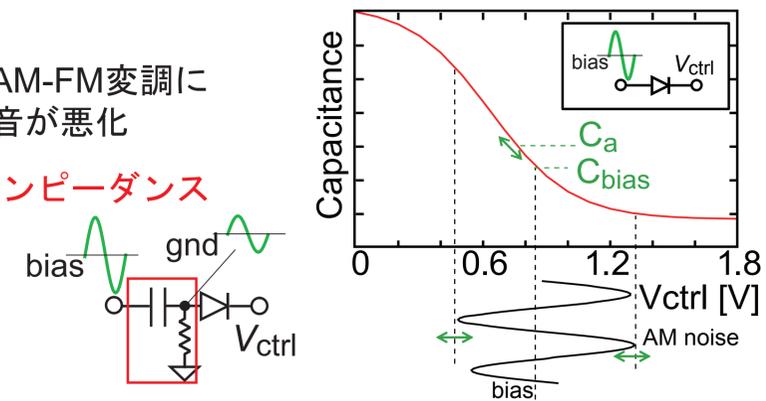
種類	振幅	消費電流	フリッカ雑音
nMOS	Medium	Medium	Poor
pMOS	Poor	Poor	Good
CMOS	Good	Good	Good[1]*

CMOS型を採用 *Symmetry [1] H. Wang, JSSC, vol. 35, no. 2, pp. 286-287, Feb., 2000

容量結合

バラクタのAM-FM変調により位相雑音が悪化

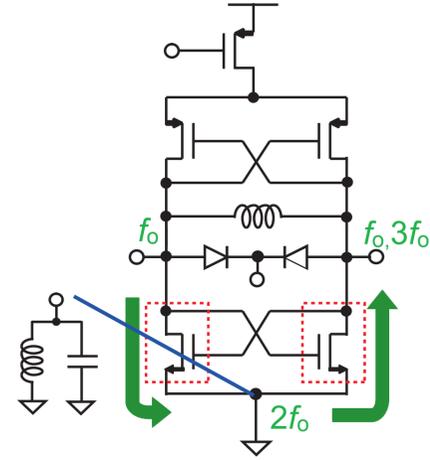
低周波のインピーダンスを高める



フィルタリング

実質的な Q_{tank} の劣化, mixingによるノイズの重畳
→位相雑音が悪化

コモンモードの f_0 の2次のインピーダンスを高める



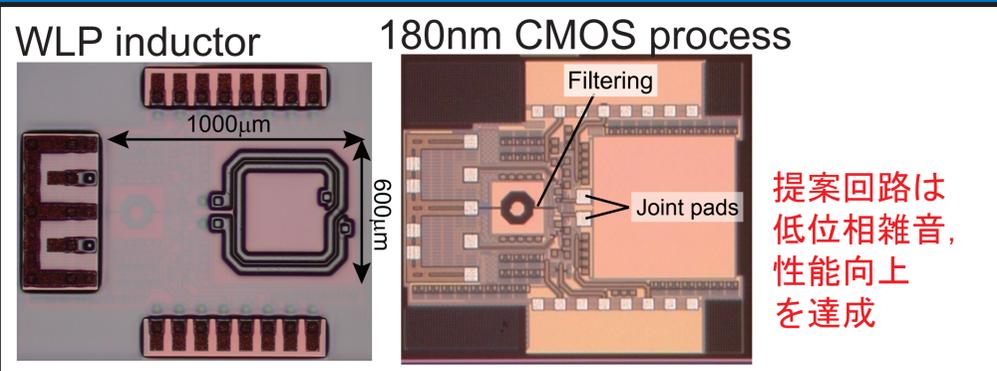
High-Q インダクタ

Wafer Level Package (WLP) 技術[2]
5 μ m以上の厚い配線膜と10 μ m以上の絶縁膜

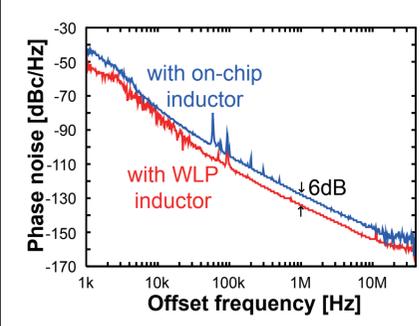
1.9GHzで40程度の高Qインダクタを実現可能

[2] K. Itoi, et al., IEEE MTT-S IMS, pp. 197-200, 2004.

チップと測定結果



提案回路は
低位相雑音,
性能向上
を達成



	提案VCO	On-chip VCO
Process	180nm CMOS + WLP	180nm CMOS
電源電圧	1.8V	1.8V
発振周波数	1.91GHz	1.92GHz
消費電力	5.7mW	5.7mW
Tuning range	40MHz	42MHz
位相雑音 @1MHz offset	-134dBc/Hz	-128dBc/Hz
FoM*	-193dBc/Hz	-186dBc/Hz

*FoM(Figure of Merit)
 $FoM = L\{f_{offset}\} - 20\log\left(\frac{f_0}{f_{offset}}\right) + 10\log\left(\frac{P_{DC}}{1m}\right)$

まとめ

本発表では低位相雑音を満たすために支配的なトランジスタの雑音を抑制するVCO回路を提案した。提案回路は1.91GHzで-134dBc/Hz@1MHz offsetの低位相雑音動作を達成した。

謝辞: WLP技術はフジクラ(株)の協力を得た。また回路開発において, 大橋一磨(現 松下電器産業), 岡田健一(現 東京工業大学 電子物理専攻 准教授)に感謝する