

高性能Si RF CMOS集積回路設計技術

High-Performance Circuit Design Techniques in RF CMOS IC's



東京工業大学 統合研究院 益研究室
 Tokyo Institute of Technology, Masu Group
<http://www.masu-lab.com/>

目的, Purpose

デバイスの微細化による性能向上と回路面積削減が可能な広帯域 RF CMOS回路技術

- アナログRF回路のデジタル性能補償/制御
- MEMS (Microelectromechanical system)
- WLP (Wafer level package)

Scalable RF CMOS circuits that allow performance improvement and area saving by miniaturization of CMOS devices

- High-performance analog RF circuit with digitally controllable compensation technique.
- MEMS (Microelectromechanical system)
- WLP (Wafer level package)

ハイライト, Highlights

RFコンポーネント回路技術, RF components

- WLP上の高Qインダクタを用いた低位相雑音LC-VCO
- 0.49-6.50GHz 広帯域 LC-VCO
- CMOS インバータ型広帯域 可変利得増幅回路

RF回路評価技術, RF circuit evaluation

- スルーパタンのみを用いた110GHzまでの広帯域ディインベディング技術
- 4ポート回路のディインベディング技術

技術の詳細, Details

RF フロントエンド

- 広帯域化/マルチバンド化
- アナログRF回路のデジタル制御化
- デバイスの微細化に伴う高性能化と回路面積の削減

CMOS インバータ型可変利得増幅回路

Simulation results - 180nm Si CMOS process

- Gain tuning range: 30dB (-11dB ~ 19dB)
- Maximum output power: 0dBm
- 3dB bandwidth: over 3GHz
- Power consumption: 110mW

S. Sadoshima et al., IEICE Society Conference, Sept. 2008, (in Japanese)

WLP インダクタを用いた低位相雑音 LC-VCO

Phase noise: -134.4dBc/Hz @ 1MHz offset
 Power consumption: 5.7mW
 Figure of merit: -193dBc/Hz

K. Ohashi et al., IEEE RFIC Symposium, pp. 123-126, June 2008.

110GHzまでの広帯域ディインベディング技術

H. Ito and K. Masu, IEEE MTT-S International Microwave Symposium, pp. 383-386, June 2008.

0.49-6.50GHz 広帯域LC-VCO

Y. Kobayashi et al., International Conference on Solid State Devices and Materials, pp. 268-269, September, 2007.

4ポートのディインベディング

The upper 2x2 diagonal block of S_{22} corresponds to the even mode and the lower one to the odd mode.

S. Amakawa et al., Advanced Metallization Conference, pp. 105-106, September 2008.