

位相補償を導入した容量駆動オンチップRC配線技術

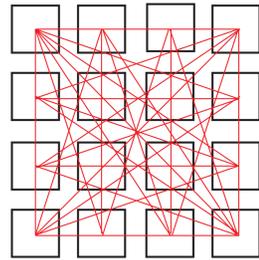
東京工業大学 ソリューション研究機構

椎野 雄介, 鈴木 成人, 前川 智明, 田野井 聡, 伊藤 浩之, 石原 昇, 益 一哉

背景・目的

マルチコア・メニーコア LSI

- ・コア数が増加する傾向
- ・コア間を接続するバスの配線数・面積、消費電力が増大
- ・離れたコア間を接続するバスの遅延が LSI 全体を律速



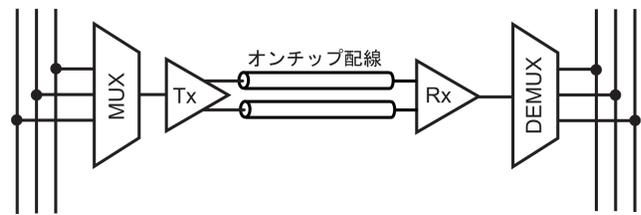
目的:

高速・低電力・小面積なオンチップ伝送回路の開発

- ・ wave-pipelining による高速化
- ・ シリアル伝送による配線本数・面積の削減

高速な信号伝送回路, MUX/DEMUX 回路の開発が必要

本発表では高速な信号伝送手法についてシミュレーション・実測により議論

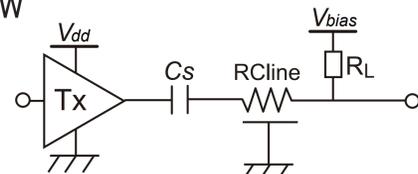


提案手法

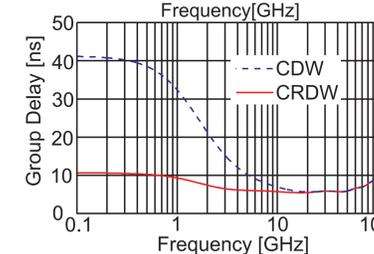
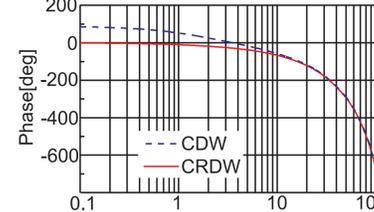
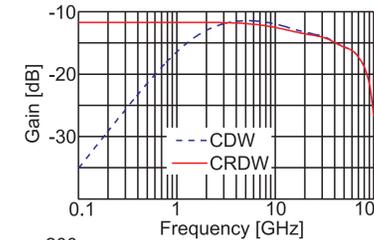
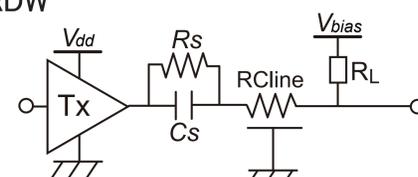
Capacitively-Resistively Driven Wire (CRDW)

キャパシタと並列に抵抗を挿入することで、低周波の信号は抵抗を介して配線に伝わり、低周波における減衰を抑制・群遅延特性を向上

CDW



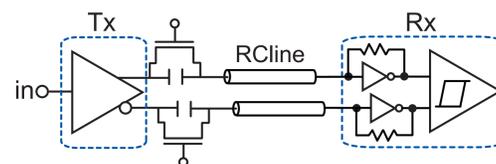
CRDW



シミュレーションによる比較

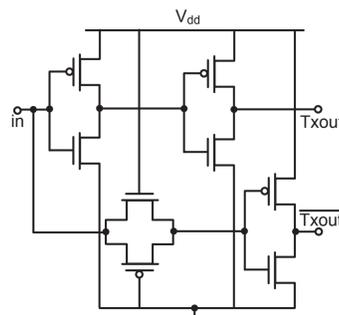
90nm CMOS プロセスのパラメータを用いてシミュレーション

全体構成

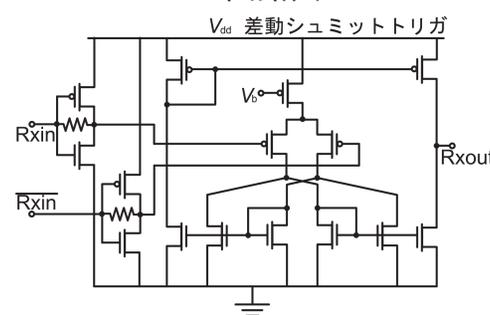


配線特性は二次元電磁界解析によりパラメータを抽出 (配線長 5mm)

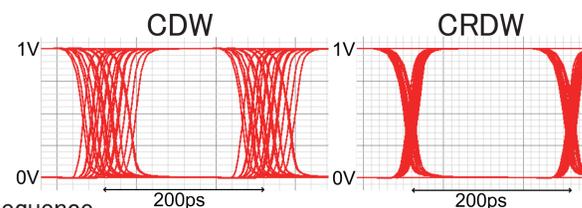
Tx 回路図



Rx 回路図



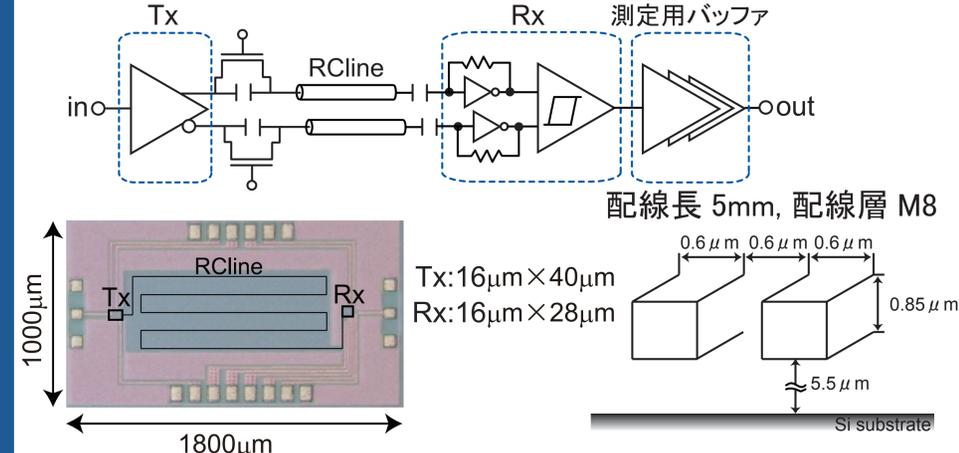
5Gbps・PRBS7 段の信号入力時の出力のアイパターン



PRBS: Pseudo-Random Bit Sequence

測定結果

90nm CMOS プロセスにより試作

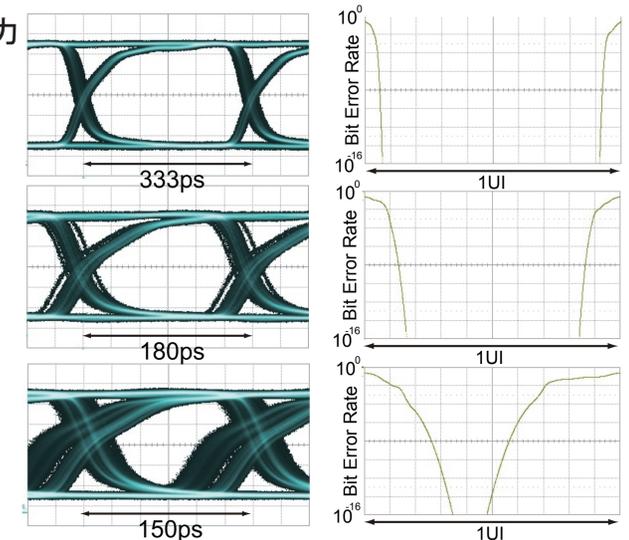


PRBS7 段の信号入力

・ 3Gbps
消費電力 3.0mW

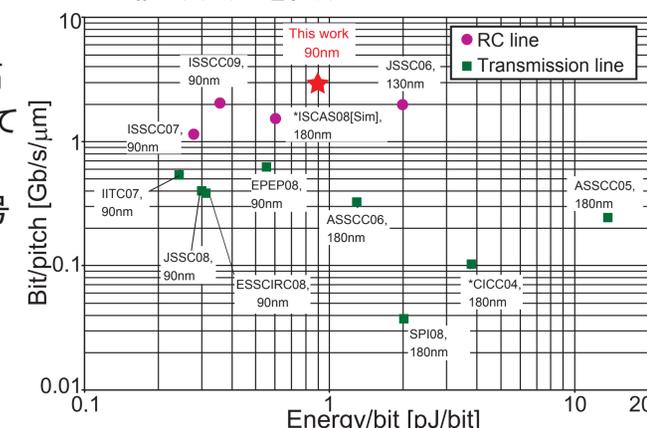
・ 5.5Gbps
消費電力 5.8mW

・ 6.5Gbps
消費電力 5.9mW



まとめ・性能比較

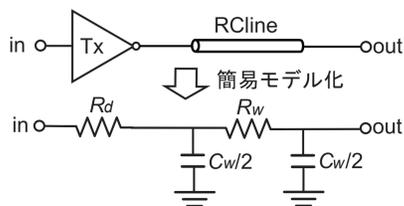
- ・ RC 配線広帯域化手法として従来提案されていた CDW よりも平坦な群遅延特性が得られる手法として CRDW を提案
- ・ 90nm CMOS プロセスにより試作し, 5mm の RC 配線において 6.5Gbps・消費電力 5.9mW の信号伝送を実現
- ・ 配線ピッチあたりの伝送速度では, 最高クラスの性能を有していることを確認. 小面積で高速な信号伝送を実現した.



Capacitively Driven Wire (CDW)

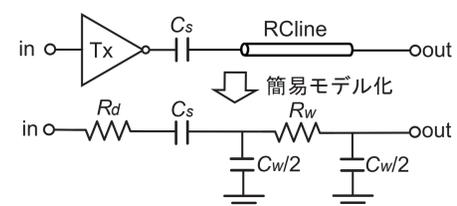
Tx と RC 配線 の間にキャパシタを挿入することで広帯域化 [1],[2]

Conventional Wire (CW)

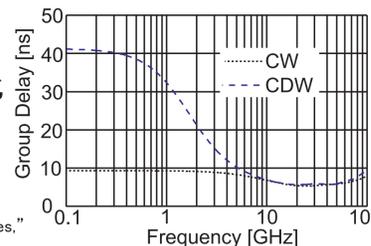


$$A_v = 1 \quad f_c = \frac{1}{2\pi R_w C_w} \quad 2$$

CDW



$$A_v = \frac{C_s}{C_s + C_w} \quad f_c = \frac{1}{2\pi (4R_d C_s + R_w C_w)} \quad 4$$



群遅延特性 (シミュレーション)

[1] R.Ho, et al., "High Speed and Low Energy Capacitively Driven On-Chip Wires," IEEE Journal of Solid-State Circuits, vol.43, no.1, p.52, 2008
[2] E.Mensink, et al., "A 0.28pJ/b 2Gb/s/ch Transceiver in 90nm CMOS for 10mm On-Chip Interconnects," IEEE International Solid-State Circuits Conference, pp.414-415, 2006.