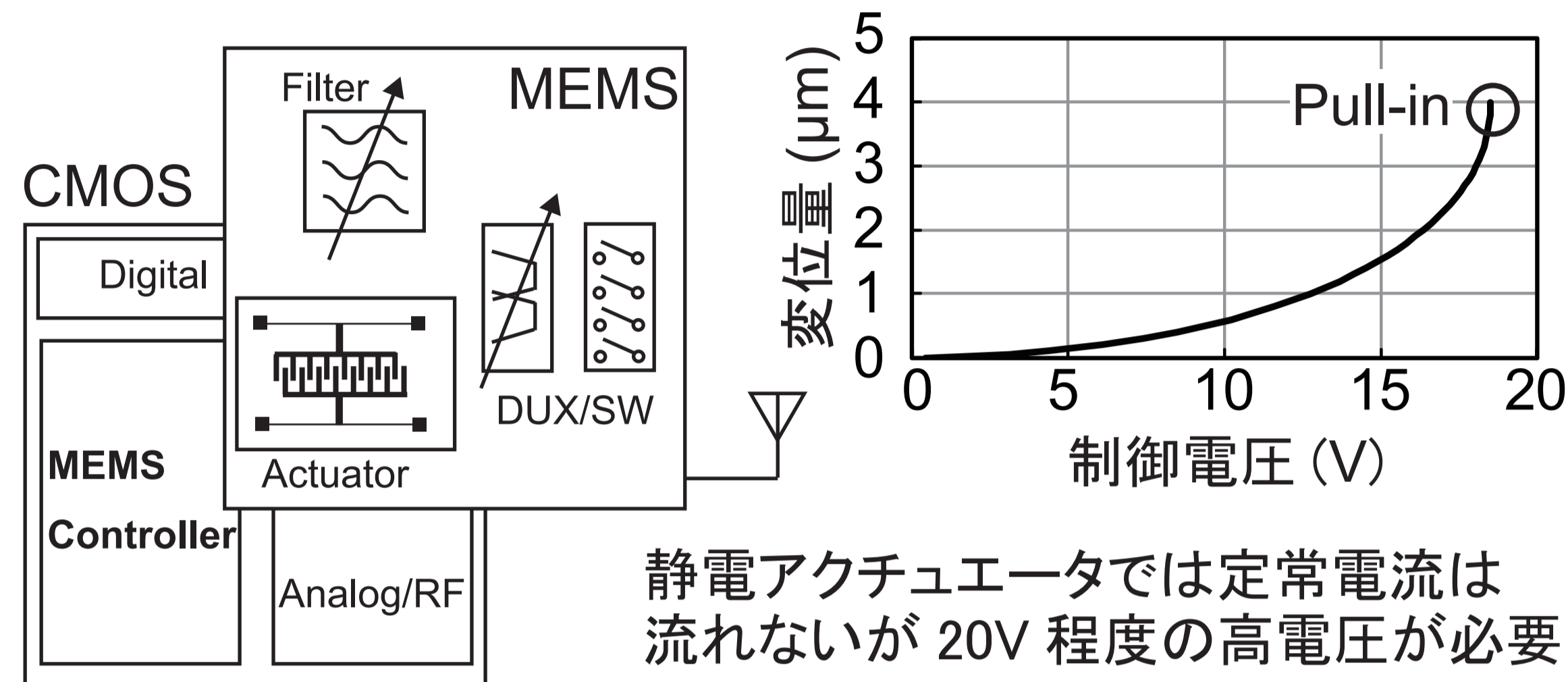


微細CMOSプロセスを用いたMEMS駆動用26V出力チャージポンプ回路

東京工業大学 ソリューション研究機構 白根 篤史, 伊藤 浩之, 石原 昇, 益 一哉

背景・目的

CMOS&MEMS の異種機能集積技術を用いたマルチバンド RF トランシーバの実現



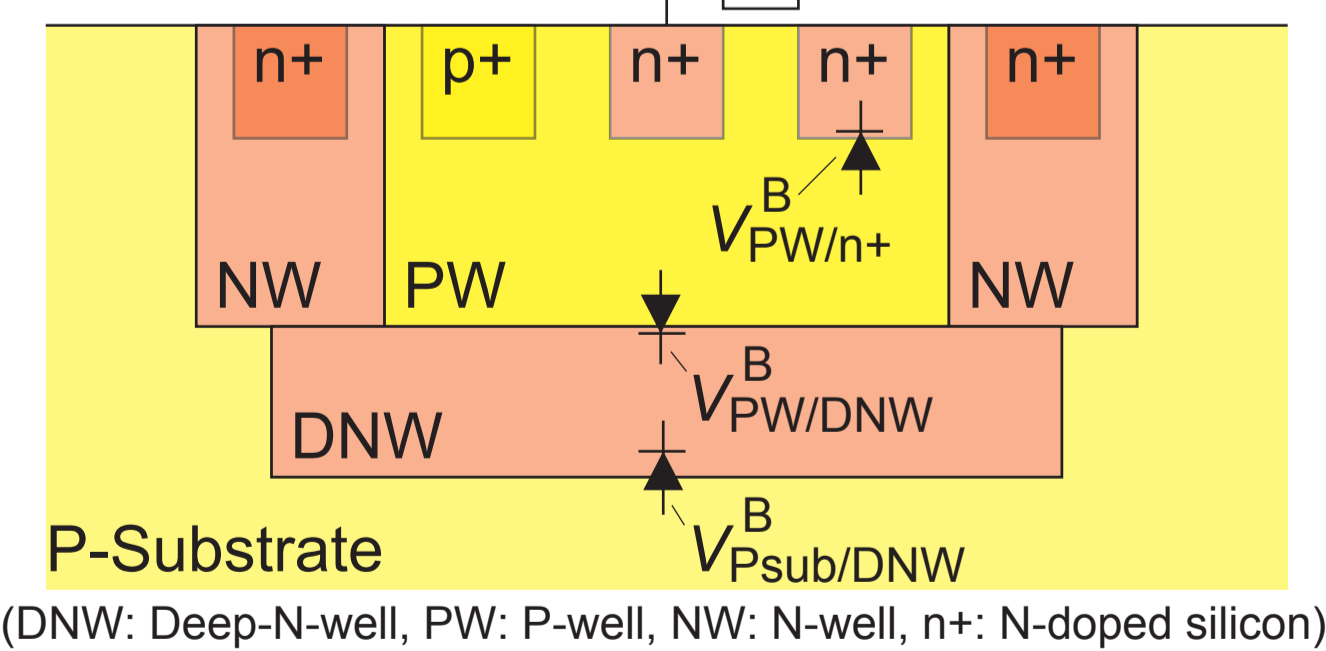
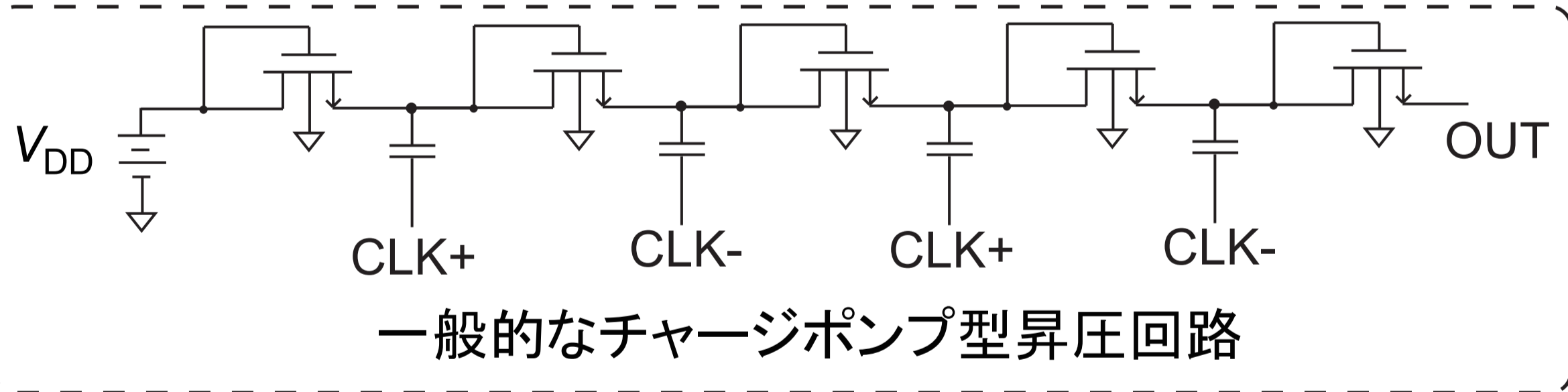
静電アクチュエータでは定常電流は流れないが 20V 程度の高電圧が必要

微細 CMOS チャージポンプ回路の高出力電圧化

RF 回路との混載が可能

チャージポンプ型昇圧回路の課題

PN 接合のブレークダウン電圧及びキャパシタの耐圧がチャージポンプ回路の最大出力電圧を律則

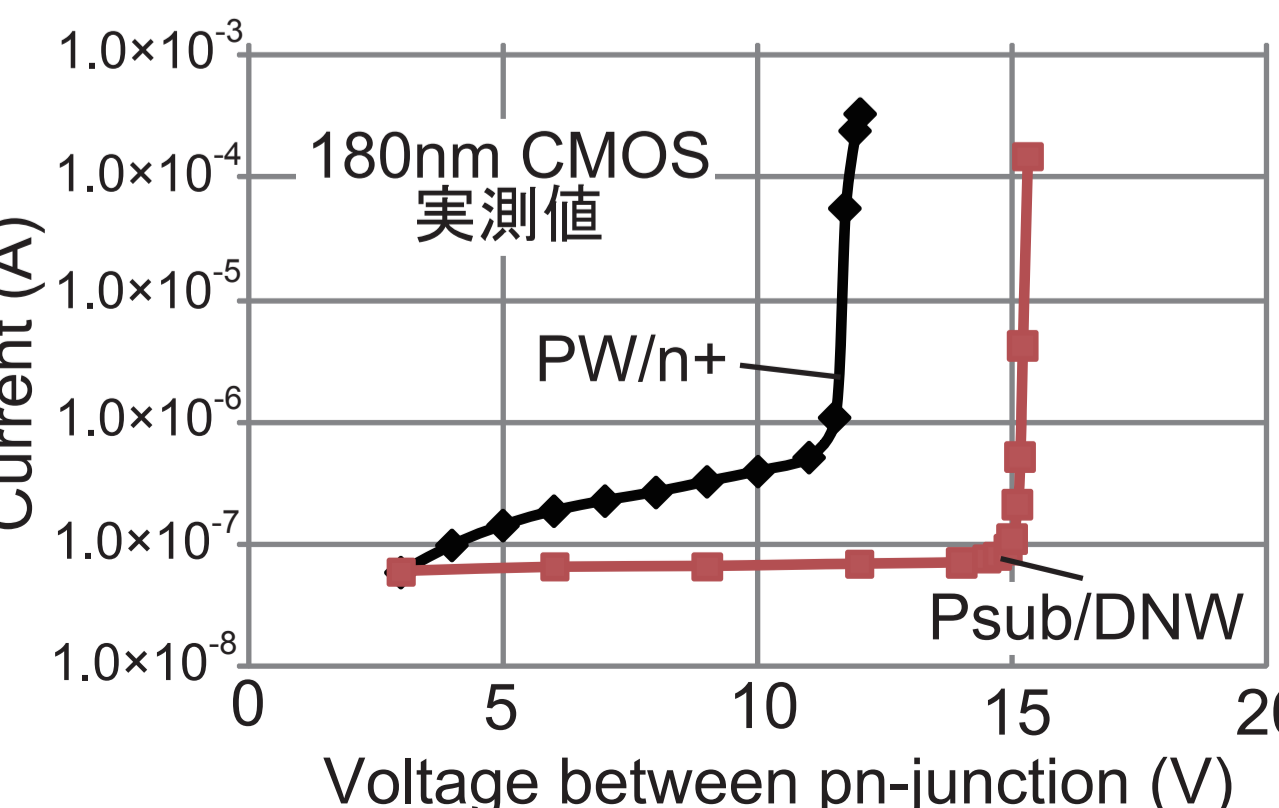


上記の回路の出力電圧は $5 \times (V_{DD} - V_{th})$ となる

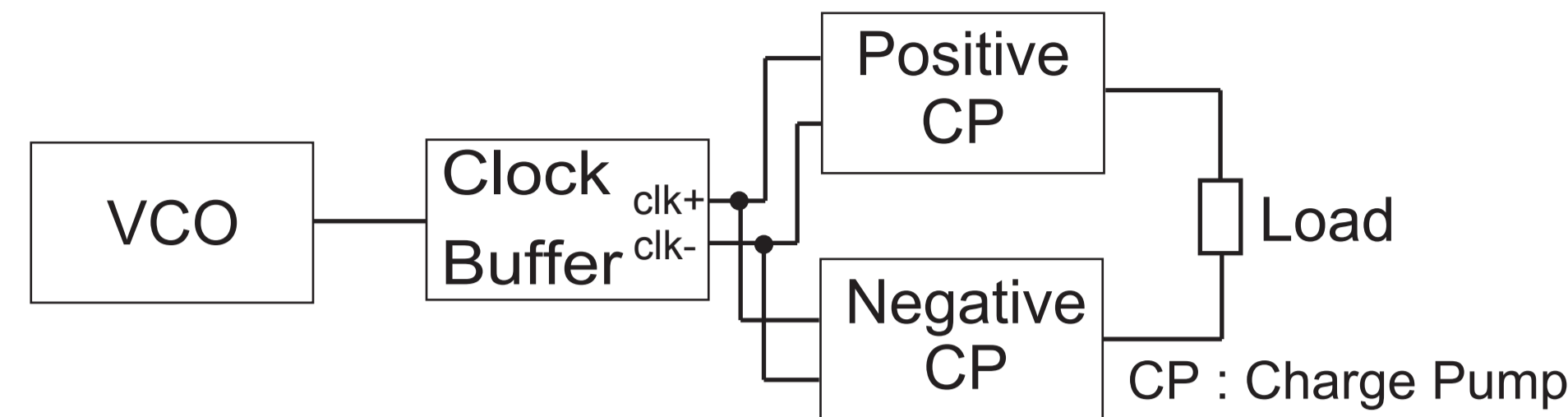
NMOS 断面図 (with triple well)

デバイス耐圧 (180nm CMOS)

- MIM キャパシタ: 5V
- PN 接合
 - PW/n+: 11V
 - PW/DNW: 15V
 - Psub/DNW: 15V
- 電源電圧は 3.3V (IO 用)

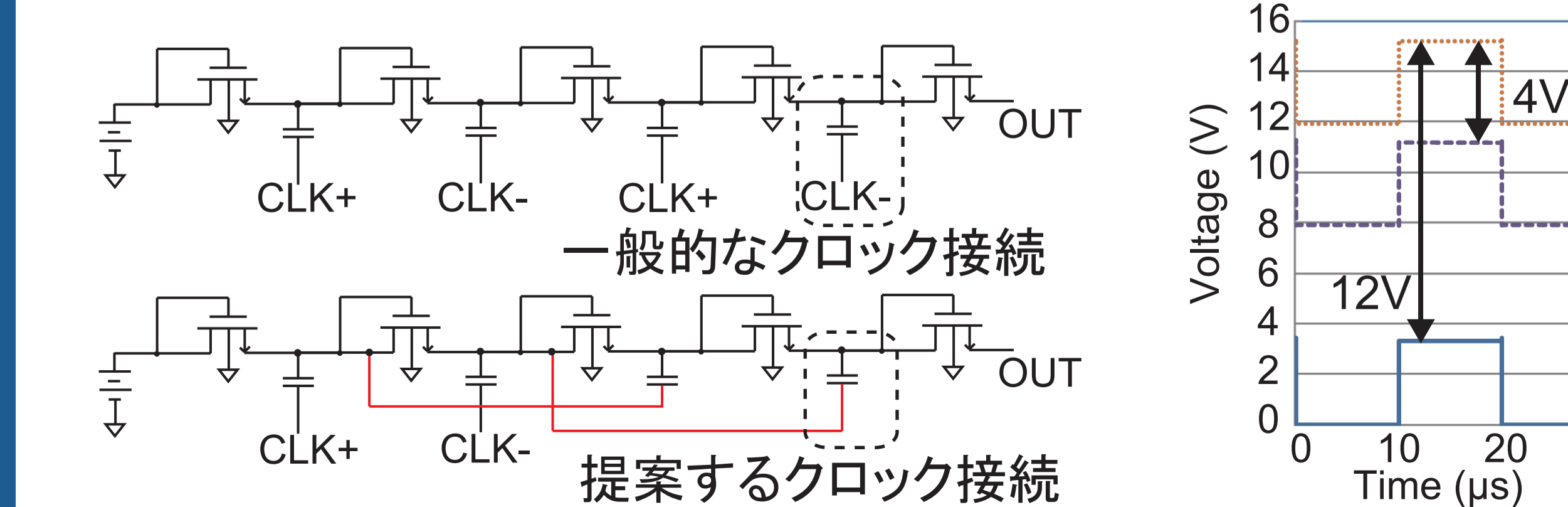
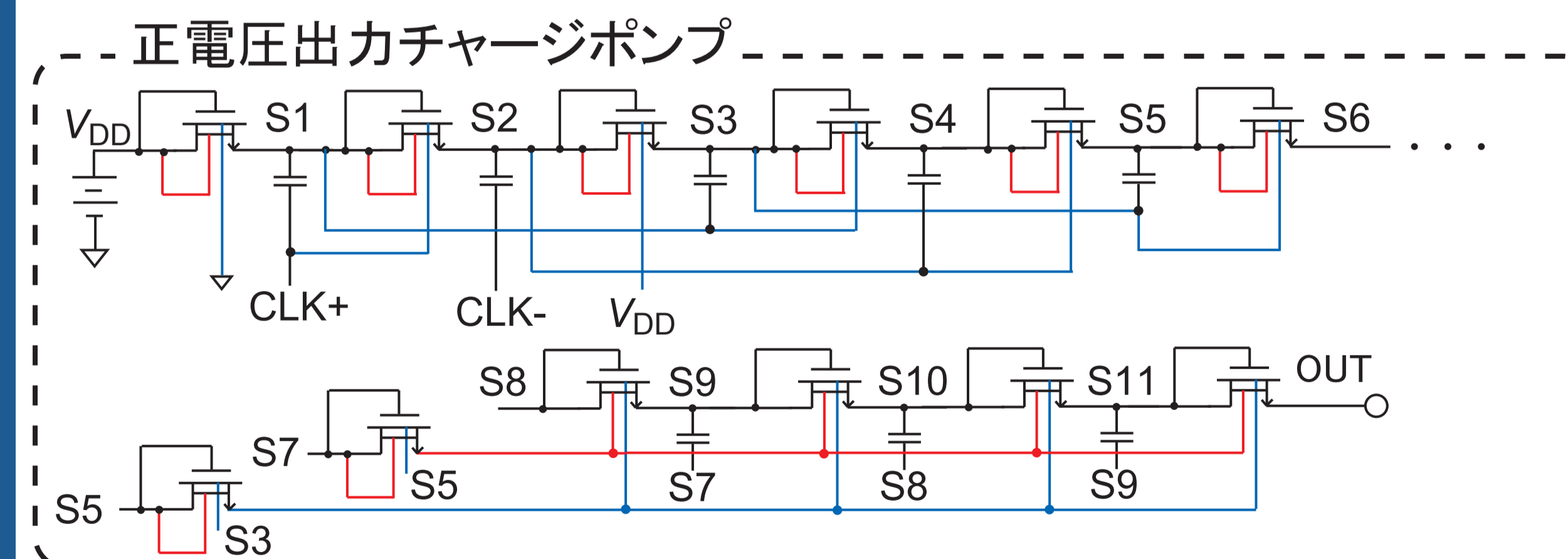
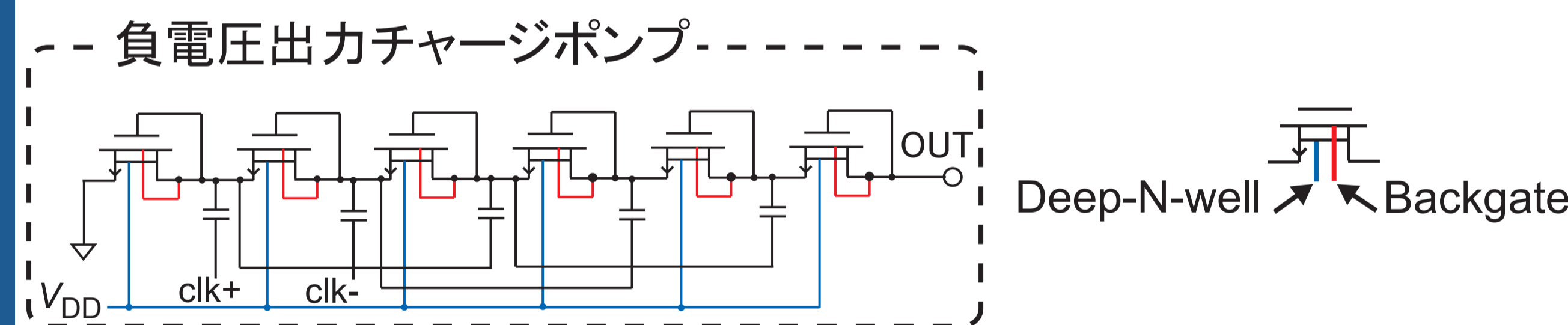
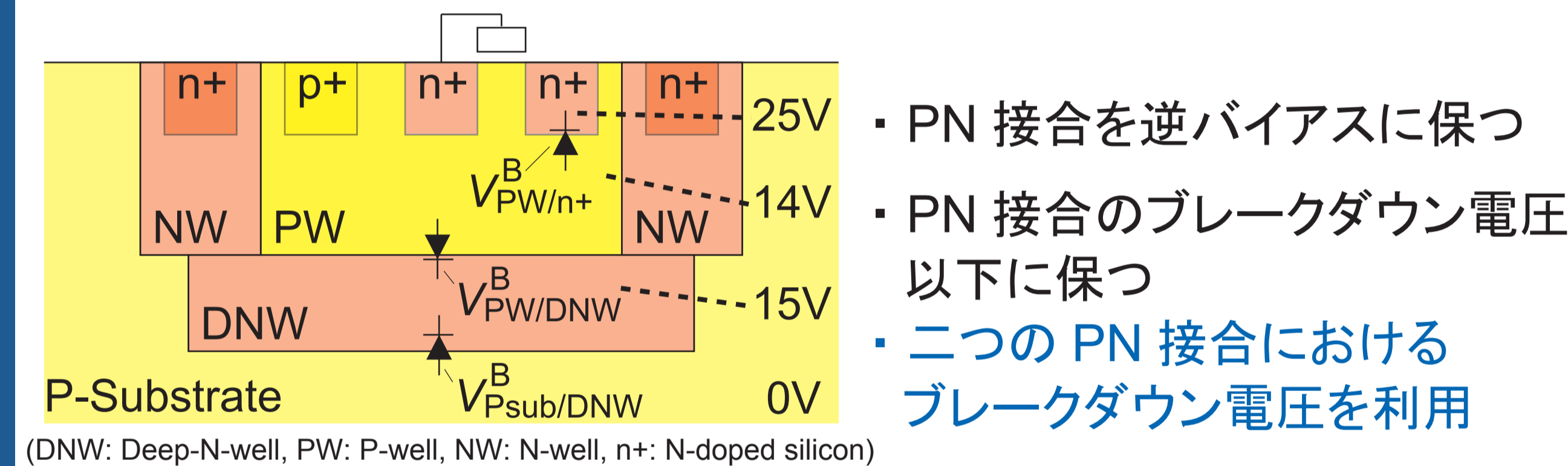


提案チャージポンプ型昇圧回路

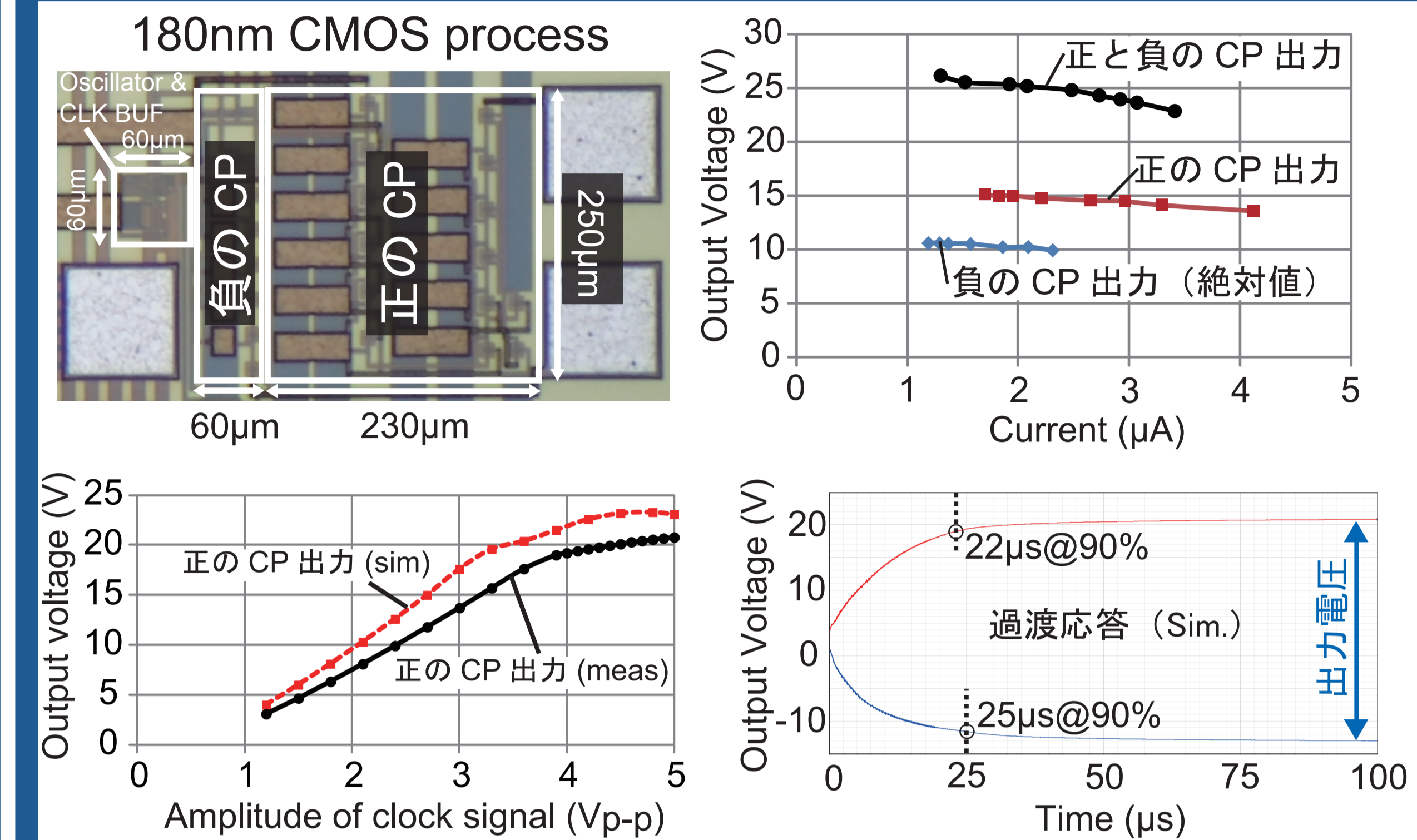


高出力電圧化に向けた提案回路技術

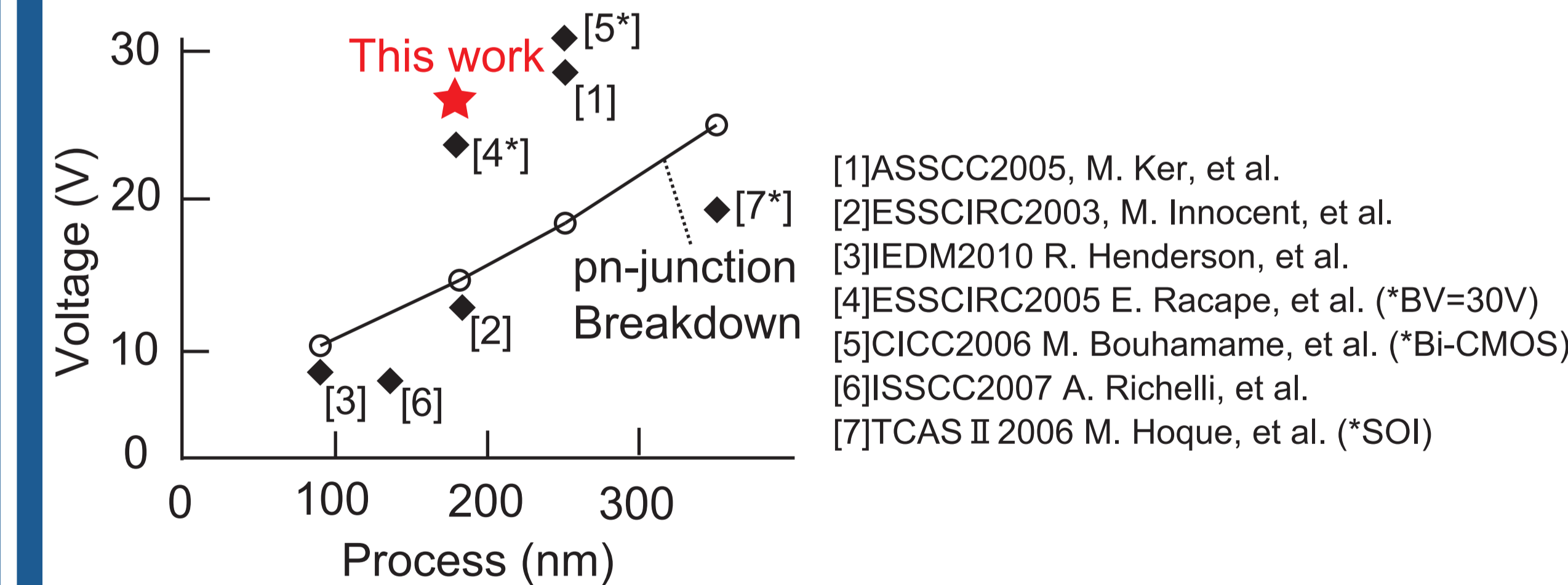
- 正と負のチャージポンプ回路の利用により、ブレークダウン電圧の2倍程度まで昇圧
- 各ウェルの適切なバイアス電圧の設定により、一つのブレークダウン電圧を超えて昇圧
- クロック信号の新たな供給手法により、キャパシタにかかる電圧を低減



試作測定結果



出力電圧 負荷: 10M Ω	26V (正の CP: 15V, 負の CP: -11V)
立ち上がり速度 (sim.) 負荷: 10pF	22 μs (pos.) 25 μs (neg.)@90%
消費電力 3.3V power supply	6.6mW VCO, Clock buffer 含む
Clock frequency	46MHz
Area (Charge pump)	290 μm x 230 μm



まとめ

- 高出力電圧化に向けた3つの回路技術を提案
 - 正と負のチャージポンプ回路の利用
 - 各ウェルの適切なバイアス電圧の設定
 - クロック信号の新たな供給手法
- 180nm Si CMOS プロセスを用いて、設計試作、測定評価を行い、回路の有効性を確認
- ブレークダウン電圧 11V, 15V 及び、キャパシタ耐圧 5V において出力電圧 26V を実現した