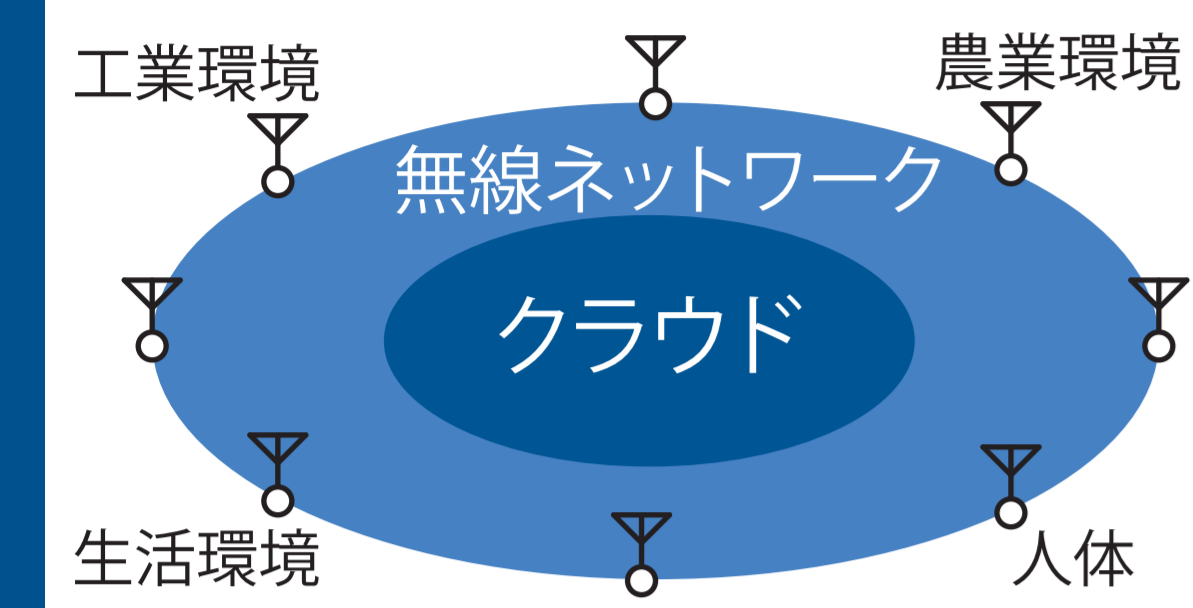


超低電力 RF CMOS 受信回路の検討

東京工業大学 ソリューション研究機構 蔣 浩, 米澤 慎, 白根 篤史, 方 一鳴, 伊藤 浩之, 石原 昇, 益 一哉

研究背景

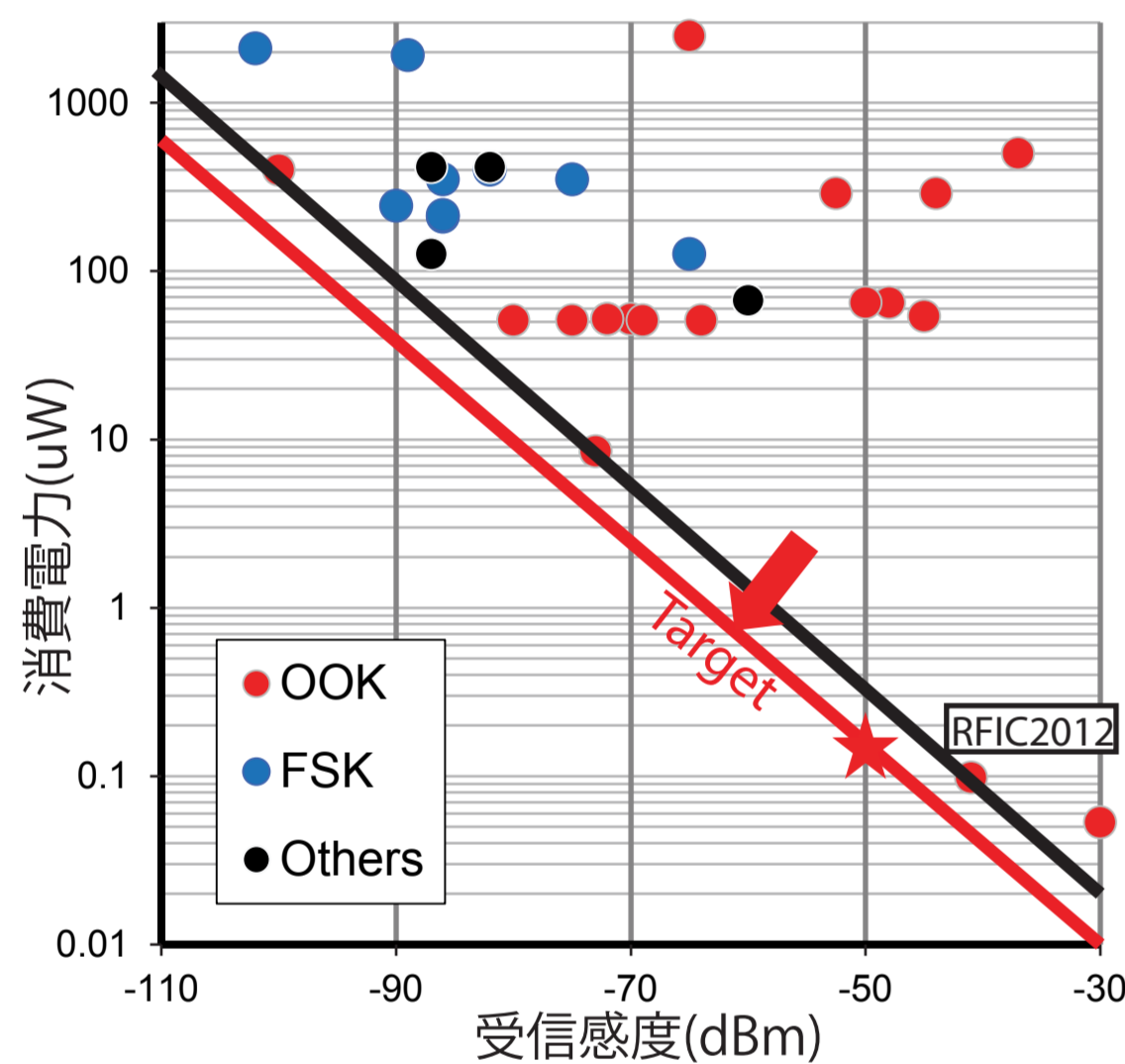


- 無数の無線センサ端末
- 電源の供給能力の限界
 - エナジーハーベスト
 - バッテリー

低電力RFフロントエンドの開発が必要

研究目的

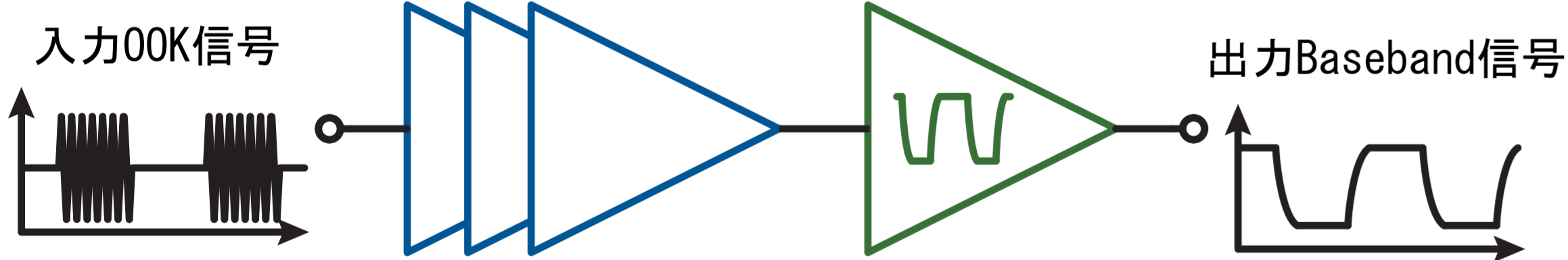
GHz帯の低電力受信機 (RX) に焦点を当てると



- 方式と電力の関係
 - 低電力化しやすい OOK方式を選択
- 電力と受信感度のトレードオフ
 - 低電力と高い受信感度の両立が課題

GHz Low power RX from ISSCC, JSSC, VLSI, RFIC, CICC (2005-2012) & N. Roberts, et al, RFIC2012 p373

OOK方式受信機の基本構成



- 周波数変換・増幅回路
 - 線形 (フリスの式が運用出来る)
 - 電力消費と利得が関係する
- 検波回路 (ディテクタ)
 - 非線形 (フリスの式が運用出来ない)
 - 電力消費と信号速度が関係する

本研究の第一段階:

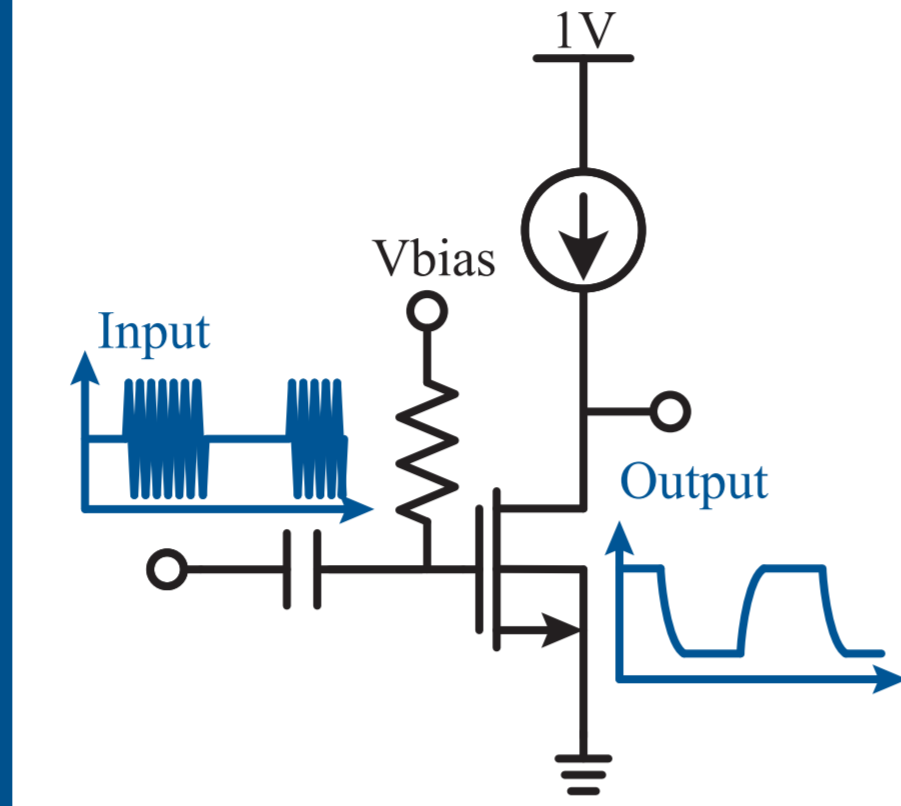
低電力検波回路の動作特徴を説明し、動作限界を追及する

- 低速度近距離無線通信への応用を前提
- ディテクタファースト構成 (RFIC2012) を応用
- サブマイクロワットの超低消費電力を目指す

※N. Roberts, et al, A 98nW Wake-up Radio for Wireless Body Area Networks, RFIC2012 p373

低電力環境で自乗検波効率追求

一般的な検波回路



● MOSFET自乗検波の特性:

小信号モデルを用いて検波回路の入出力特性を分析し、以下の式が得られる

$$(1) V_{out} \approx k * V_{in}^2$$

$$(2) k = k_0 * WR_{out} / L$$

k_0 : デバイスパラメータ

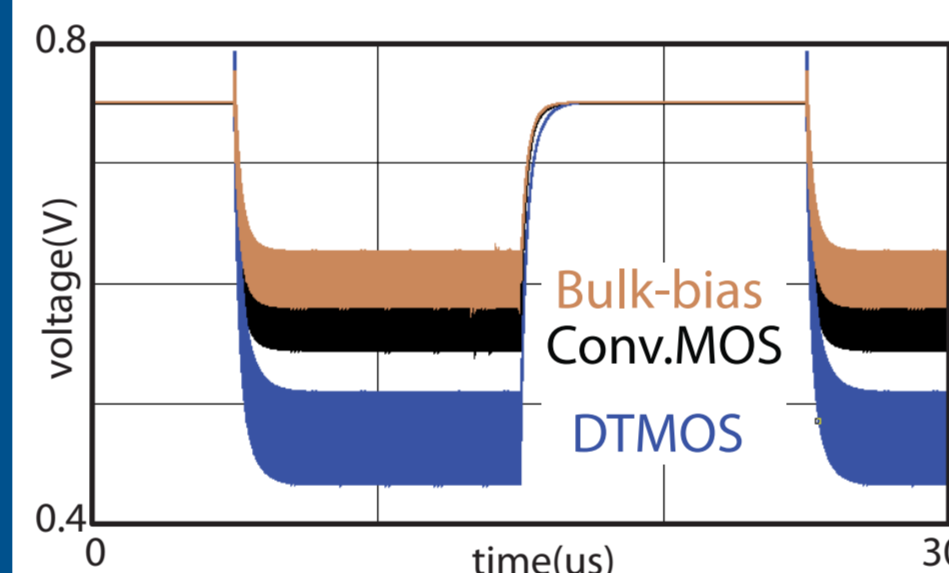
WR_{out} / L : 設計パラメータ

自乗検波特性がコンバージョンゲインに対する影響が一番大きいと予想出来るが、パラメータ最適化によって検波効率の改善は可能

● 検波効率改善のためのアプローチ:

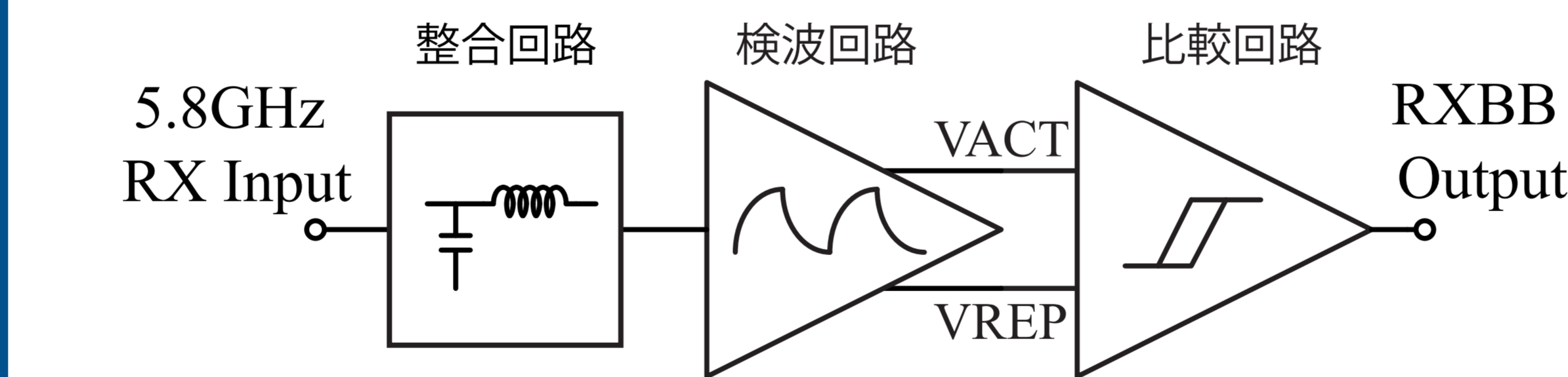
- MOSFETバルク端子でデバイスパラメータを改善
- 設計パラメータの最適化

● 接続方の検波効率比較:

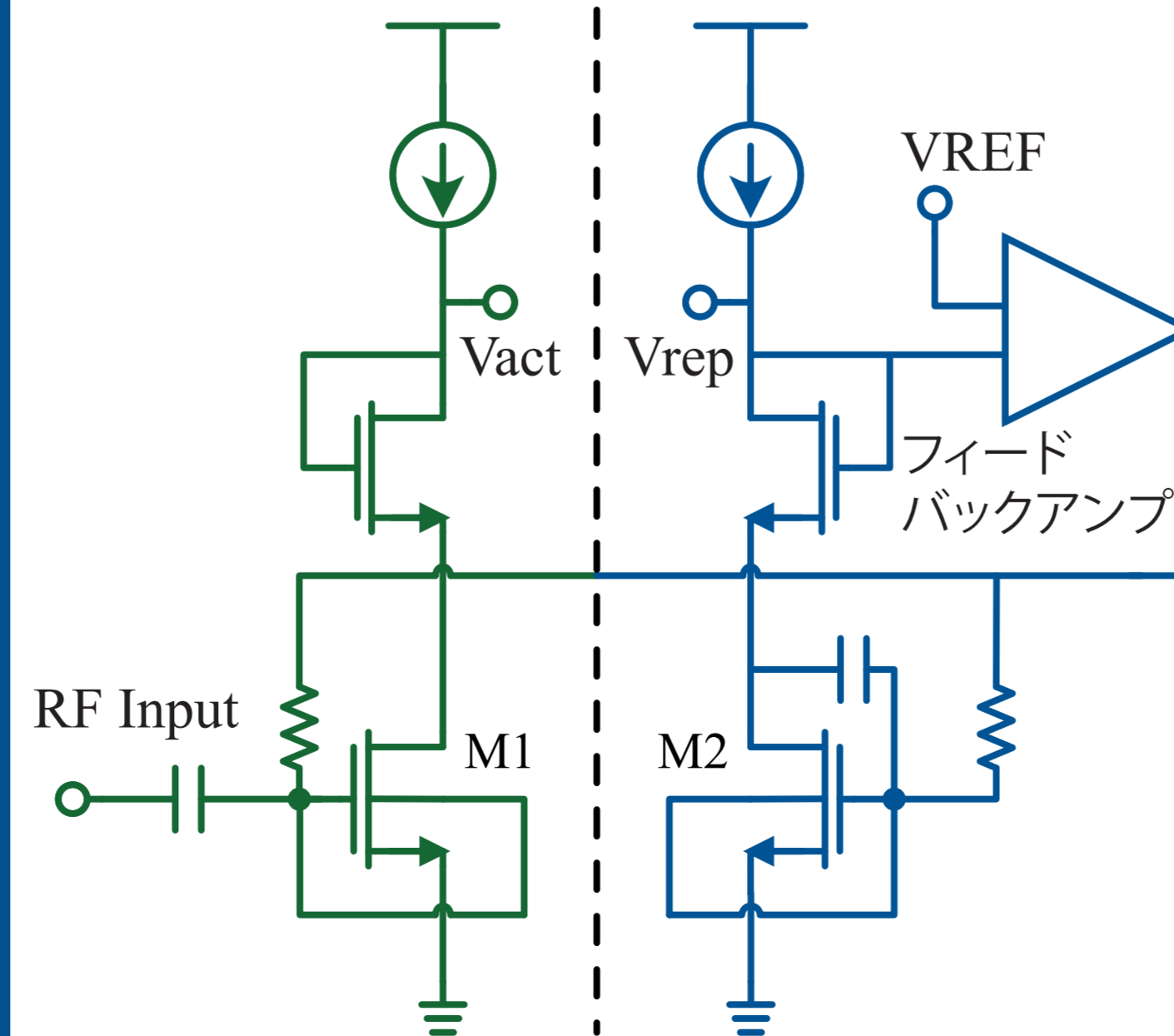


■ DTMOS接続がサブスレッショルド領域におけるgm改善が、検波効率向上に最も有効であると判断 (同DC電流 & デバイスサイズ)

擬似差動出力検波回路



擬似差動出力検波回路



回路全体

- 低電流源でバイアス電流を制限する

アクティブ部

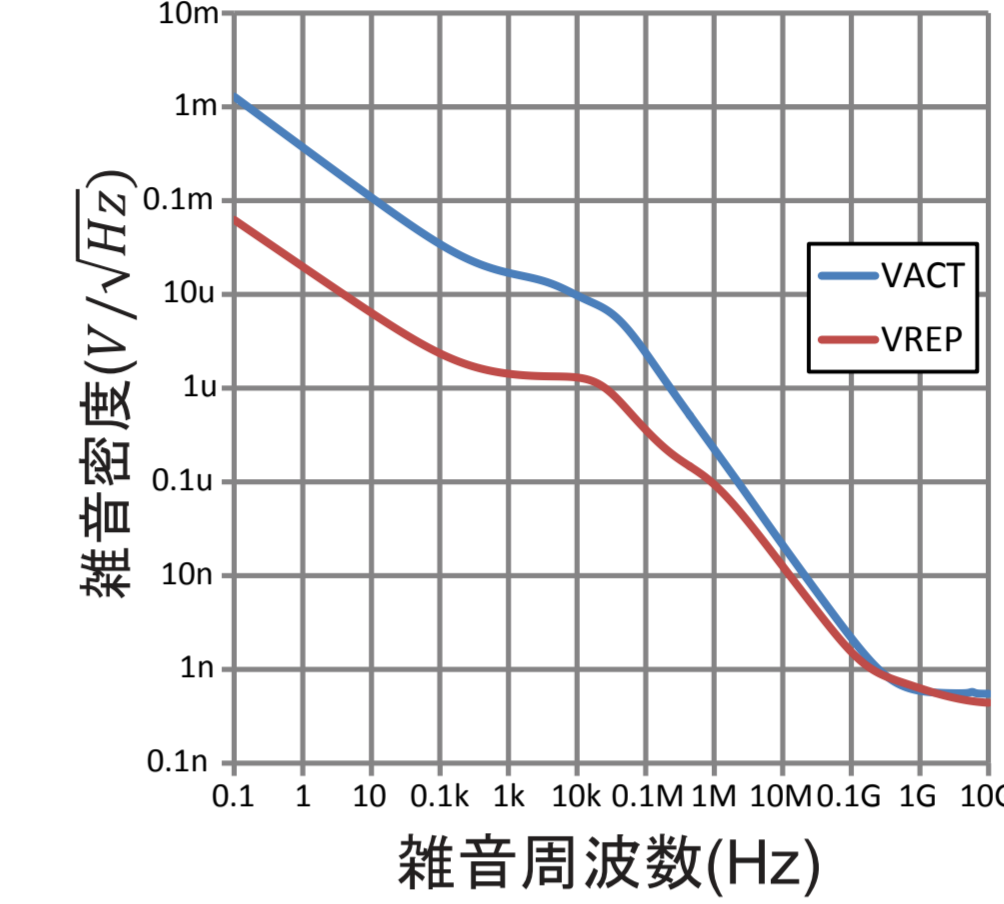
- DTMOS接続で変換効率の改善を図る

レプリカ部

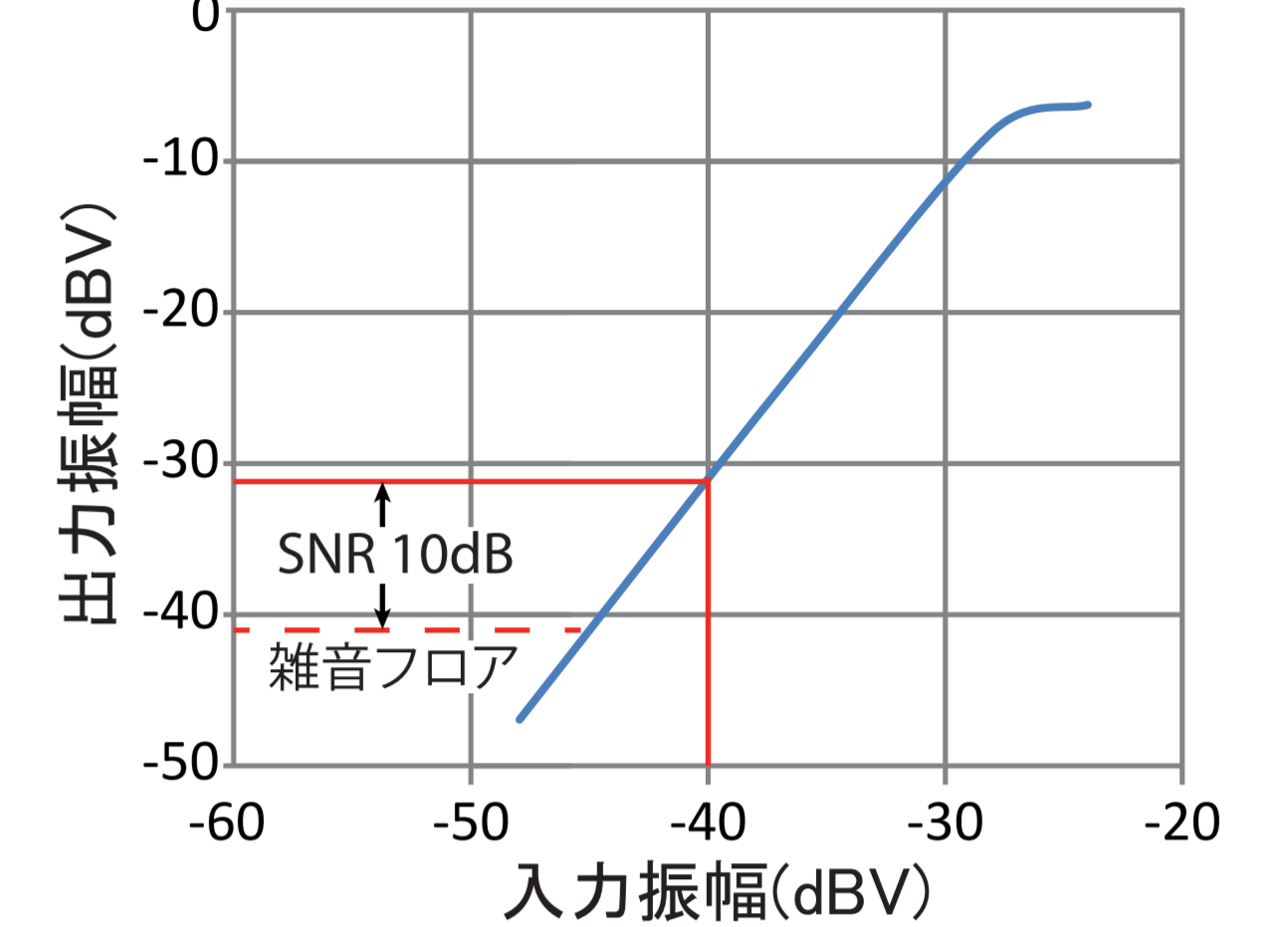
- レプリカ回路により擬似差動出力

最小受信感度見積もり

検波回路出力雑音密度

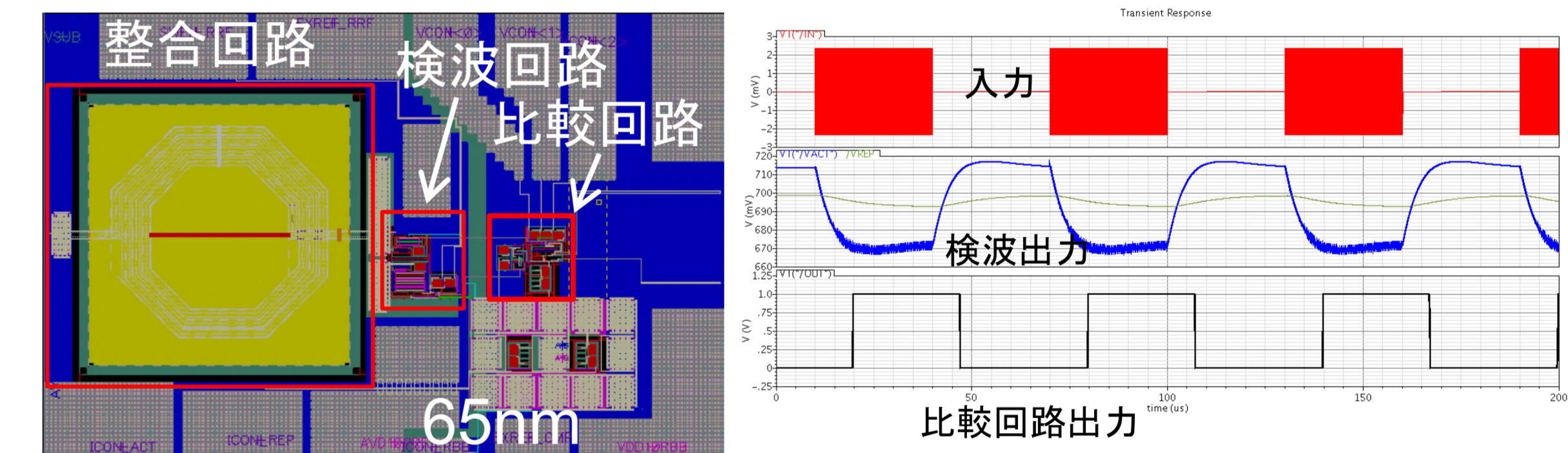


検波回路入出力特性



- 雑音密度分析で出力雑音フロアを確認
- 出力SNRと入出力特性で最小入力振幅を決定
- 前段回路利得を考慮し、最小受信感度を見積もり

設計結果・まとめ



ポストレイアウトシミュレーションによる性能まとめ

	S11(dB)	S21(dB) (整合回路)	電源電圧 (V)	消費電力 (nW)	受信感度 (dBm)	データレート (kbps)
目標仕様	<-10dB	15	1	300	-50	20
設計結果	-10dB	13	1	240	-43	30

- 65nm CMOSプロセスで回路を設計し、240nWの電力で -43dBmの最小受信感度が得られる見通しを得た
- パラメータ最適化による検波回路の受信感度改善の効果には限界があり、-40~-45dBmレベル以上にはすることは困難だと判断する
- 更に高感度を目指す場合、前段に増幅回路を入れる必要がある。雑音特性が重要ではなく、低電力かつ高利得な増幅回路設計が今後の課題