

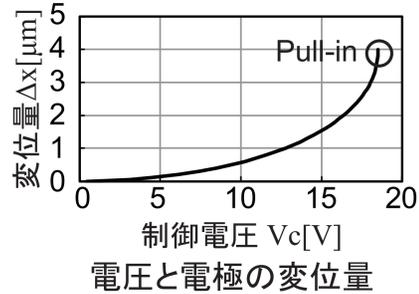
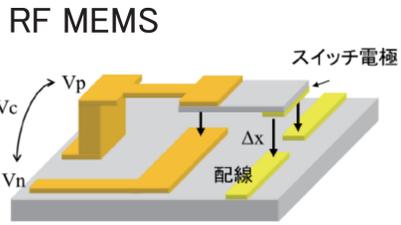
# MEMSスイッチ制御用昇降圧回路に関する研究

東京工業大学 ソリューション研究機構

高安 基大, 白根 篤史, 李 尚曄, 伊藤 浩之, 石原 昇, 益 一哉

## 背景・目的

### CMOS&MEMS の異種機能集積技術を用いた RF MEMS スwitch 制御用昇降圧回路の実現



MEMS スwitch の構成例

#### メリット

- ・ 低損失
- ・ 小型

#### 課題

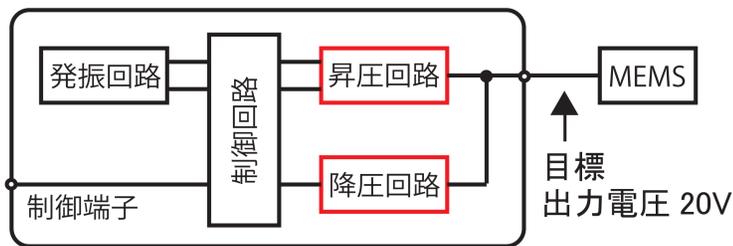
- ・ 20V 程度の高電圧が必要
- ・ CMOS 集積回路技術の適用

### 微細 CMOS による高電圧スイッチングの実現

RF 回路との混載が可能 (180nm CMOS 技術)

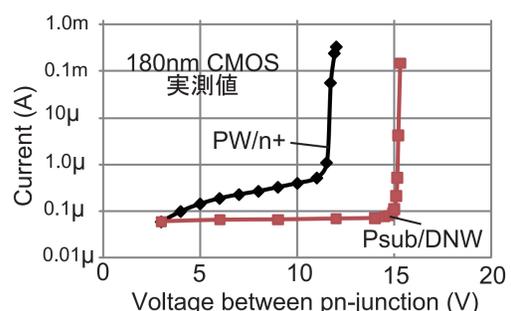
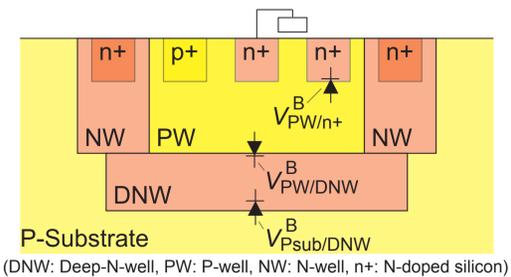
## MEMS 制御回路の構成と課題

### MEMS スwitch 制御回路構成



- ・ 昇圧回路の高耐圧化
- ・ 降圧回路の高耐圧化

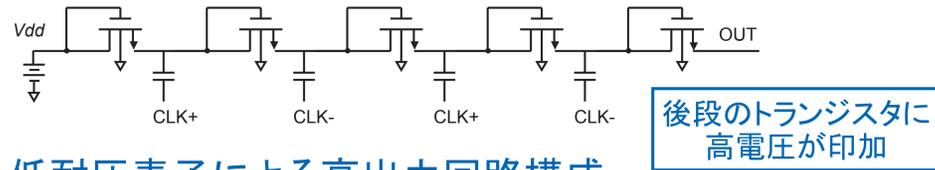
NMOS 断面図 (with triple well)



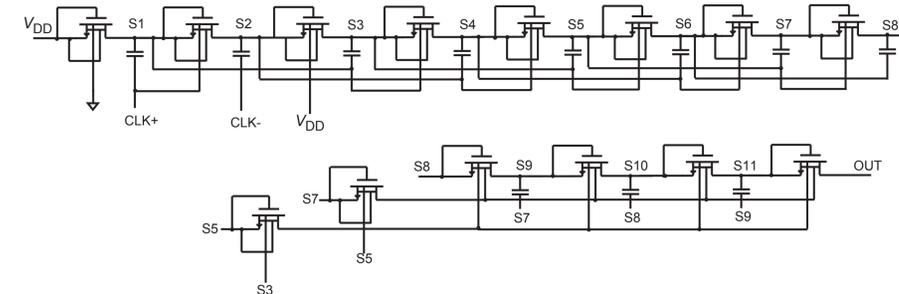
- デバイス耐圧 (180nm CMOS)
- ・ MIM キャパシタ : 5V
  - ・ PN 接合
    - ・ PW/n+ : 11V
    - ・ PW/DNW : 15V
    - ・ Psub/DNW : 15V
  - ・ 電源電圧は 3.3V (IO 用)

## 提案昇降圧回路

### 従来のチャージポンプ型昇圧回路構成

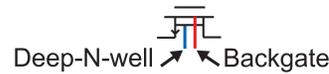


### 低耐圧素子による高出力回路構成



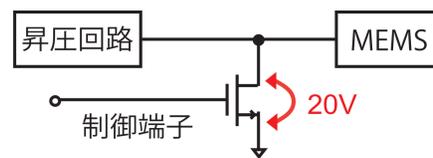
### トランジスタの耐圧条件をクリア

- ・ PW, DNW 電位供給を耐圧を考慮し設定
- 容量の耐圧条件をクリア
- ・ 後段の CLK に前段回路出力を利用

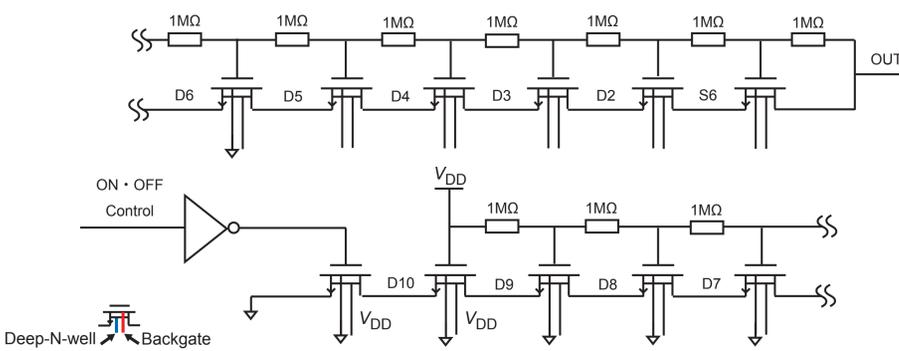


## 提案昇降圧回路

### 従来降圧回路構成



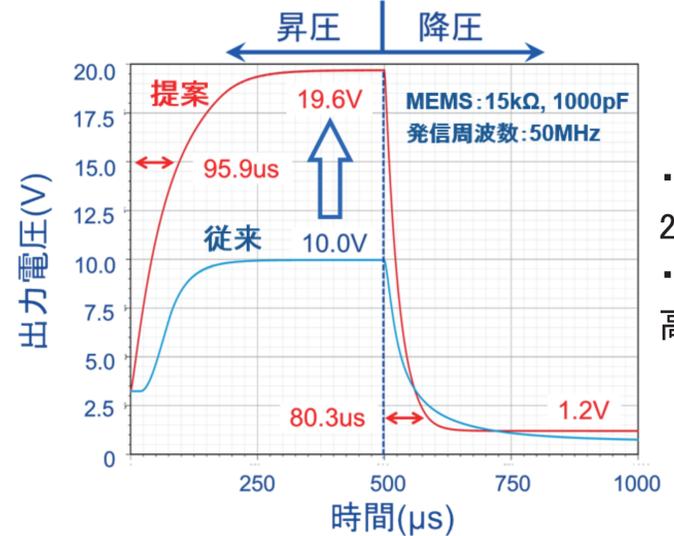
### 提案トランジスタ縦積構成



- ・ MEMS に充電されている電荷を引抜き降圧
- ・ トランジスタの 10 段接続により D-S 間にかかる電圧を分圧
- ・ PW, DNW 電位供給を耐圧を考慮し設定

## シミュレーション結果

### 昇圧・降圧切替特性



- ・ 従来技術の 2 倍の昇圧を確認
- ・ 高速充電
- ・ 高速放電を確認

項目	目標仕様	設計結果
出力電圧 (High)	20V 程度	19.6V
出力電圧 (Low)	2V 以下	1.2V
負荷インピーダンス	1.0nF	1.0nF
昇圧降圧時間 tr/ tf	tr/ tf < 100μs	tr : 95.9μs, tf : 80.3μs
電源電圧	3.3V	3.3V
CMOS プロセス	180nm	180nm

## まとめ

### CMOS 集積回路技術による

### 20V 高電圧スイッチング技術を検討

- トランジスタ耐圧
  - ・ 昇圧回路 : ウェル電位供給技術
  - ・ 降圧回路 : MOS トランジスタ縦積構造
- 容量耐圧
  - ・ クロック供給技術
- 180nm CMOS プロセスによる設計結果
  - ・ 電源電圧 3.3V から 19.6V(High) ~ 1.2V(Low) スwitchング出力を確認