

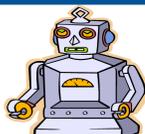
金メッキ集積化CMOS-MEMSによる アレイ型加速度センサの小型化

東京工業大学¹, NTTアドバンステクノロジー株式会社², 東京大学³

山根 大輔¹, 小西 敏文², 松島 隆明², 加賀谷 賢¹, 佃 真文¹, 伊藤 浩之¹, 石原 昇¹,
年吉 洋³, 町田 克之^{1,2}, 益 一哉¹

連絡先 E-mail: yamane.d.aa@m.titech.ac.jp

背景・目的

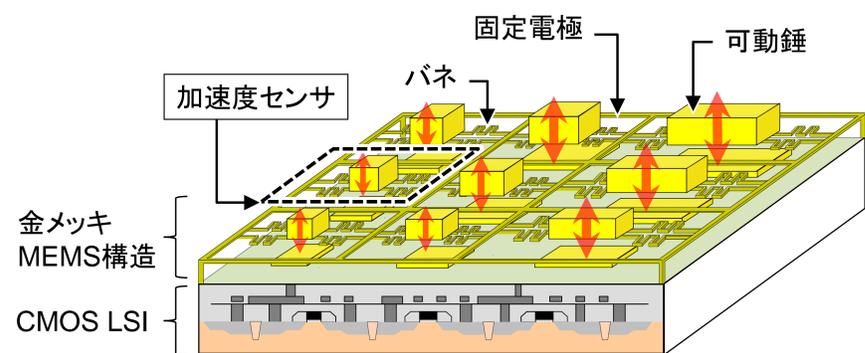


●従来のMEMS加速度センサ

- 電気機械的設計制約による加速度の検知範囲の限界
- 用途に応じた複数の加速度センサモジュールが必要

●本研究で提案するアレイ型MEMS加速度センサ

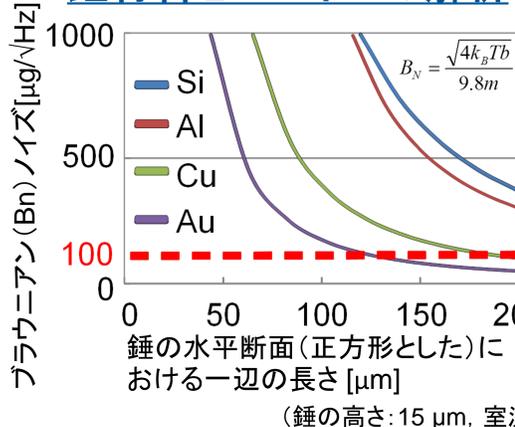
アレイ型MEMS加速度センサとCMOS回路をワンチップ融合し、加速度センサの小型化と検知範囲拡大を目指す。



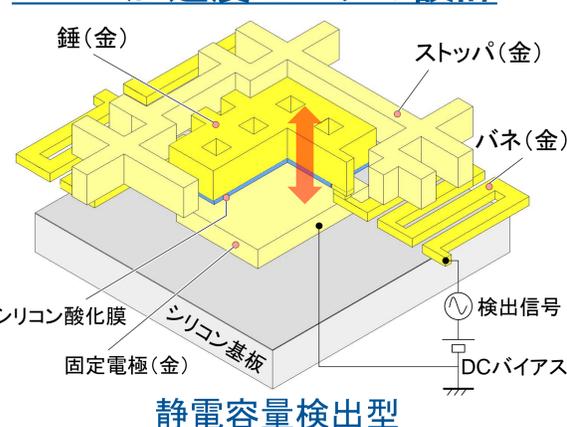
アレイ型CMOS-MEMS加速度センサの概念図

これまでの研究成果

錘材料とB_Nノイズの解析

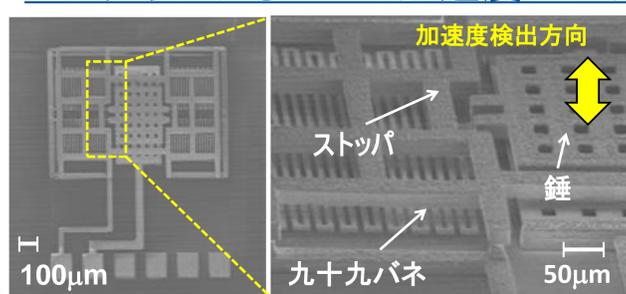


MEMS加速度センサの設計



静電容量検出型

金メッキによるMEMS加速度センサの試作と原理検証実験



- 構造体材料に金を用いたMEMS加速度センサ(単体)の作製・評価
- 耐加速度が小さいデバイスの破壊防止のためストップパを提案
- C-f, C-Gの実測結果より、小型・低ノイズのMEMS加速度センサの実現見通しを得た

アレイ型MEMS加速度センサの設計

目標仕様

設計制約	項目
チップサイズ	4mm角以内
錘面積	200μm角以内
加速度検知範囲	±1.7~20G
検出分解能B _N	100μg/√Hz
Q値	5以下

本研究の提案手法

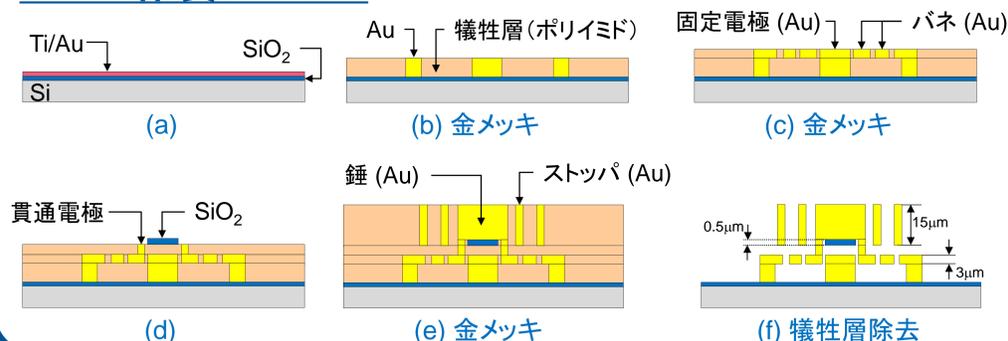
- 加速度センサの2次元アレイ化, および各センサにストップパを利用検知範囲拡大, センサの破壊防止
- 高密度の金によるMEMS構造体 加速度センサの小型化・低ノイズ化
- 金メッキプロセス(<400℃) Post-CMOSプロセスへの展開

設計パラメータ

- バネ定数と錘面積を変数として、検知範囲の異なるMEMS加速度センサを設計 ※電極間ギャップは5μm
- 各加速度センサにおける加速度印加時の容量変化は統合設計シミュレータにより確認済

デバイス番号	設計値			
	バネ定数 (N/m)	錘面積 (μm ²)	耐加速度 (G)	機械共振周波数 (Hz)
①	0.2	80 × 80	13.8	856.6
②	0.2	140 × 140	8.5	687.3
③	0.2	200 × 200	4.9	554.2
④	0.3	80 × 80	18.1	1059.9
⑤	0.3	140 × 140	11.6	847.3
⑥	0.3	200 × 200	7.4	678.8
⑦	0.4	80 × 80	27.8	1313.2
⑧	0.4	140 × 140	16.8	1022.2
⑨	0.4	200 × 200	10.5	805.8

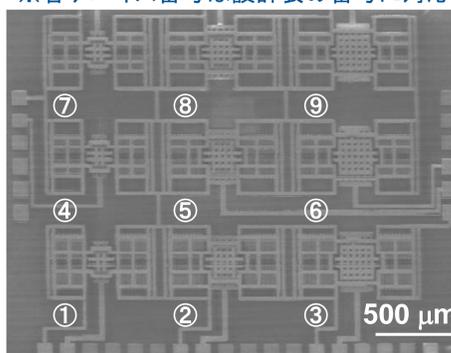
MEMS作製プロセス



アレイ型MEMS加速度センサの試作

試作デバイスのSEM写真

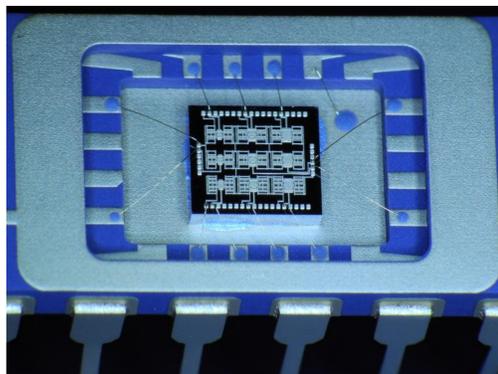
※各デバイス番号は設計表の番号に対応



チップサイズ: 3 mm × 3 mm

- シリコン基板上の目標チップサイズ内にアレイ型(3×3)MEMS加速度センサを金メッキにより試作
- C-V測定の結果, MEMS構造体の可動性能を確認

測定用パッケージング



金メッキ積層構造体

まとめ

- 金メッキ積層プロセスによるアレイ型MEMS加速度センサを設計・試作した。
- 試作結果としてMEMS構造体の可動性能を確認した。
- 金メッキのpost-CMOSプロセスによるアレイ型CMOS-MEMS加速度センサの実現見通しを得た。