

アレイ型MEMS加速度センサの特性評価

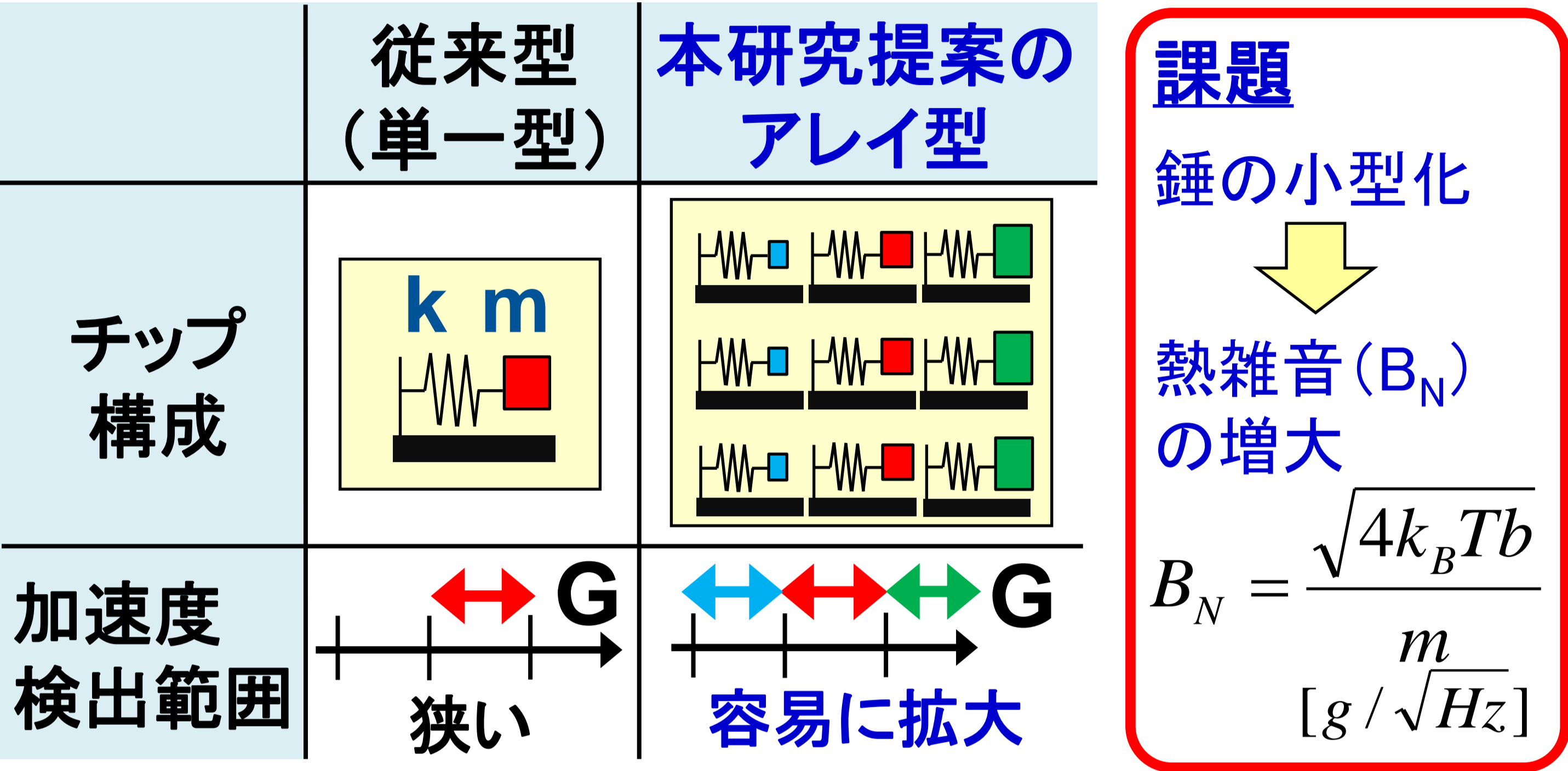
東京工業大学¹, NTTアドバンステクノロジー株式会社², 東京大学³

山根 大輔¹, 小西 敏文², 松島 隆明², 加賀谷 賢¹, 佃 真文¹, 伊藤 浩之¹, 石原 昇¹,
年吉 洋³, 町田 克之^{1,2}, 益 一哉¹

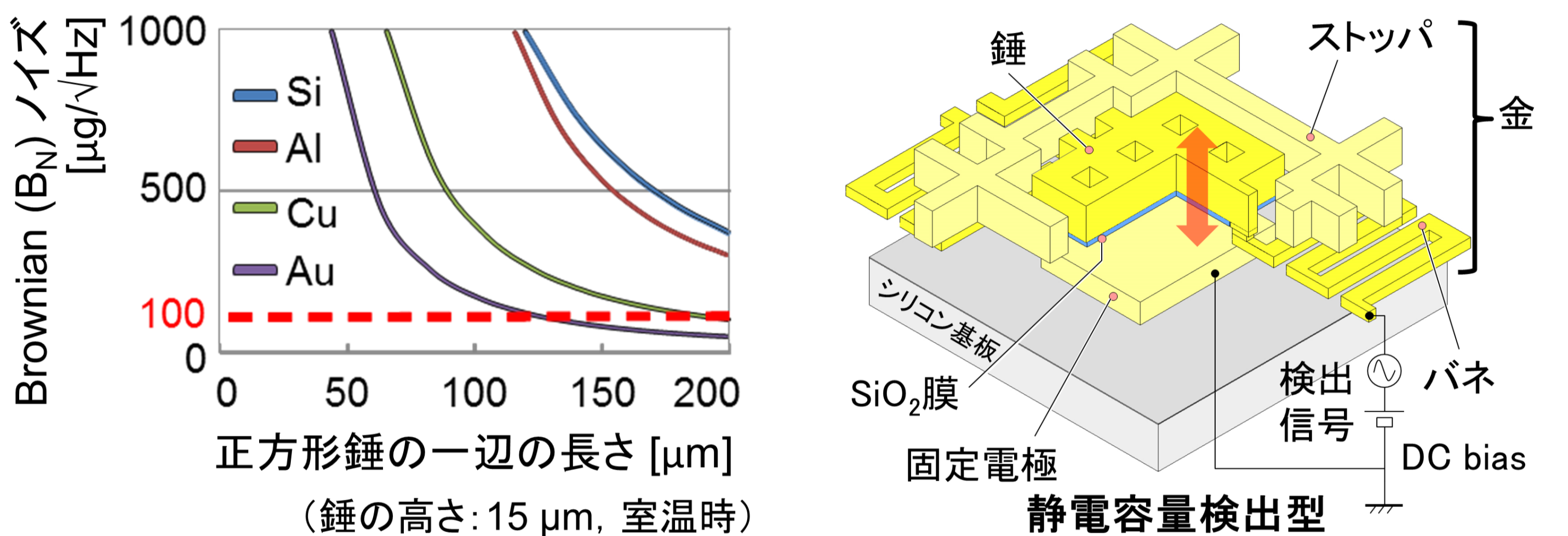
連絡先 E-mail: yamane.d.aa@m.titech.ac.jp

1. 背景・目的

● 加速度センサの小型化・検出範囲拡大

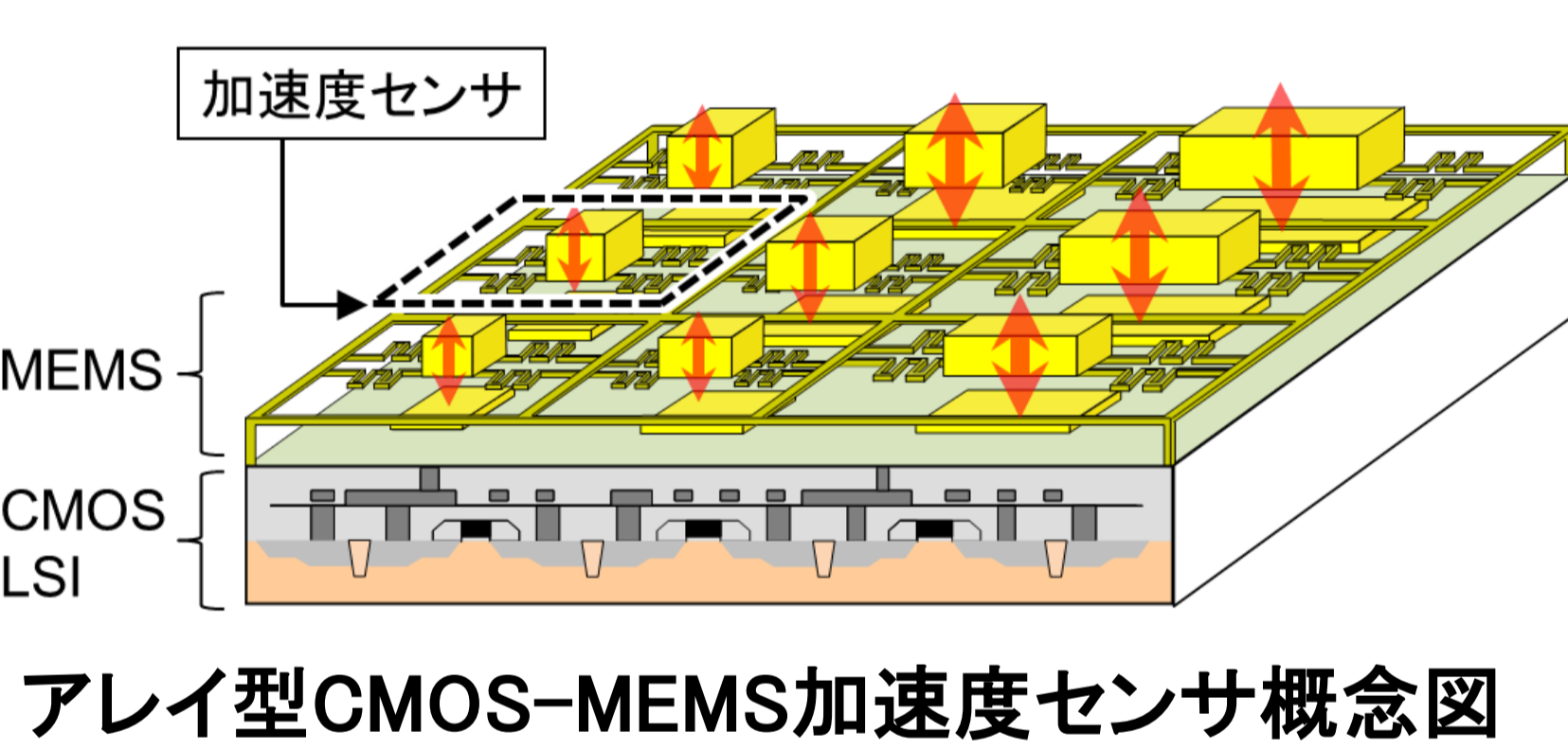


● MEMS加速度センサの小型化・低 B_N ノイズ化



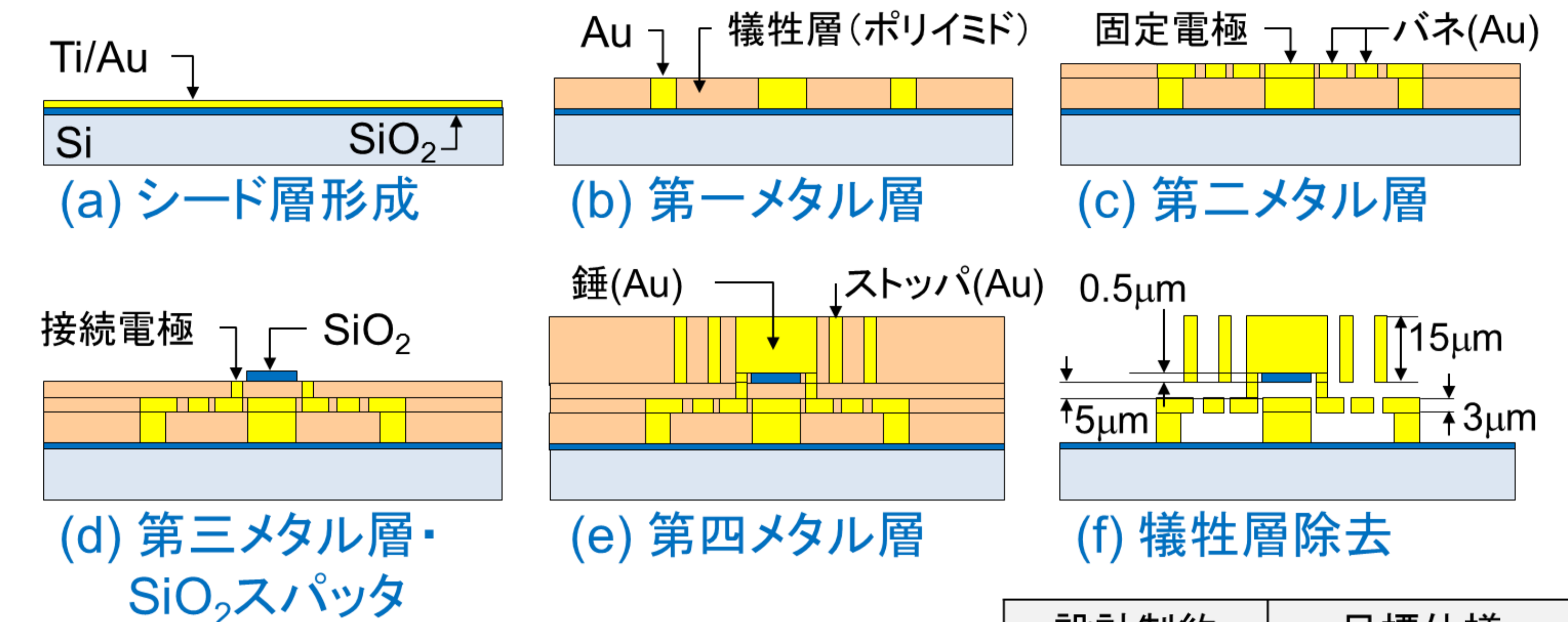
設計指針

- 金のMEMS構造体
 - ➡ 錘の小型化・低 B_N ノイズ化
- アレイ化, ストップの利用
 - ➡ 検出範囲拡大, 自壊防止
- 金めっきプロセス (<400°C) LSI
 - ➡ Post-CMOSプロセス

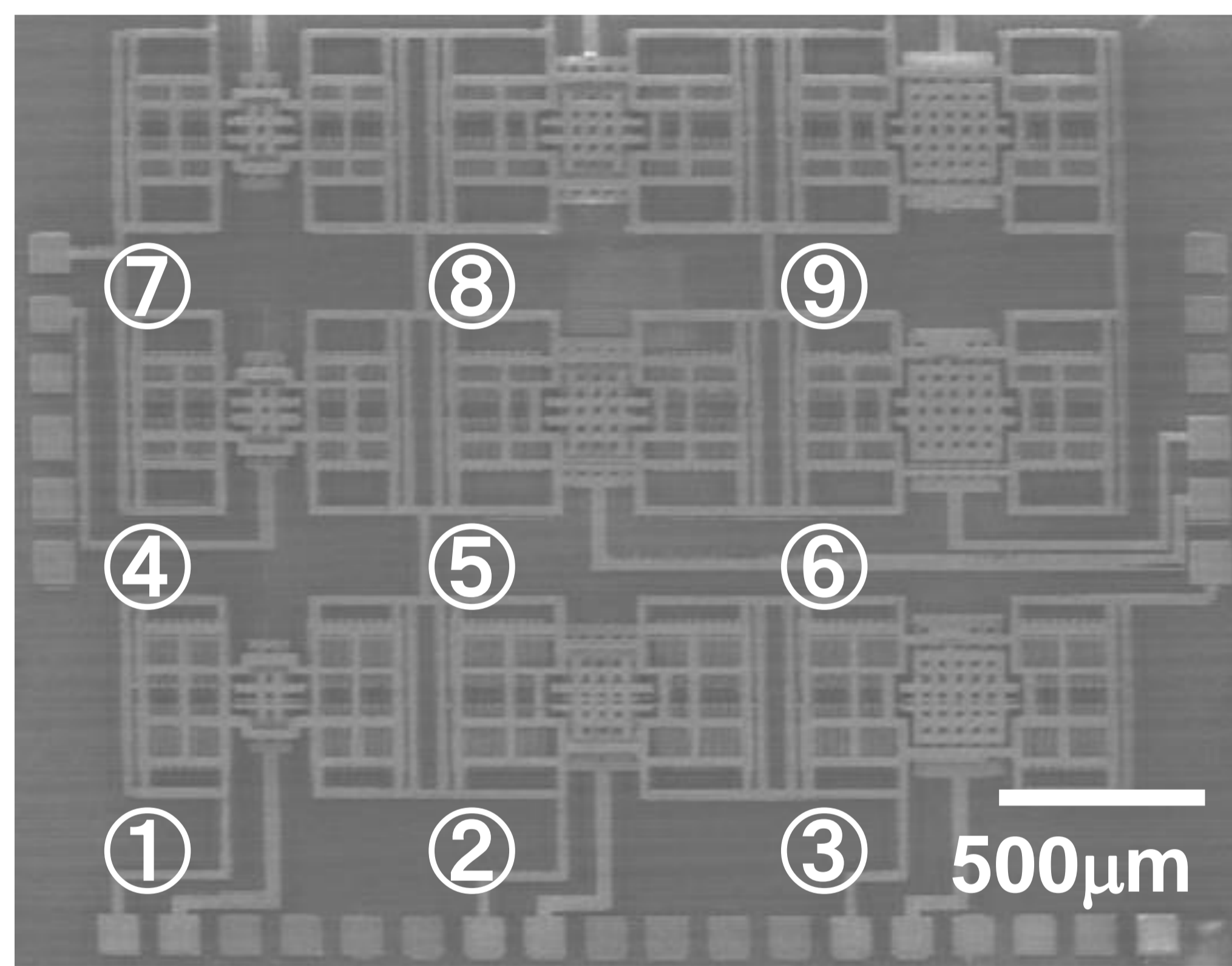


2. アレイ型MEMS加速度センサの作製

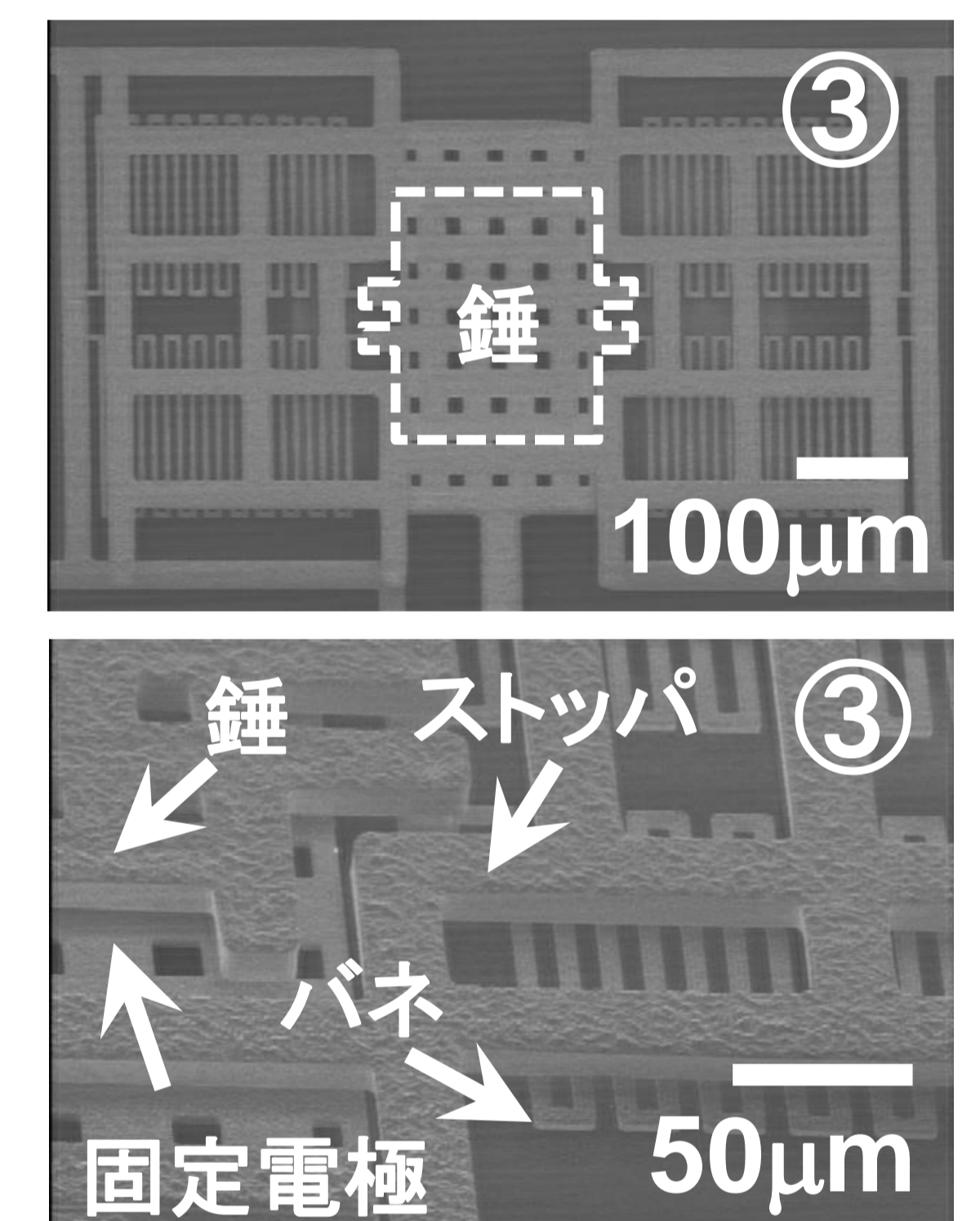
● MEMS作製プロセスと試作結果



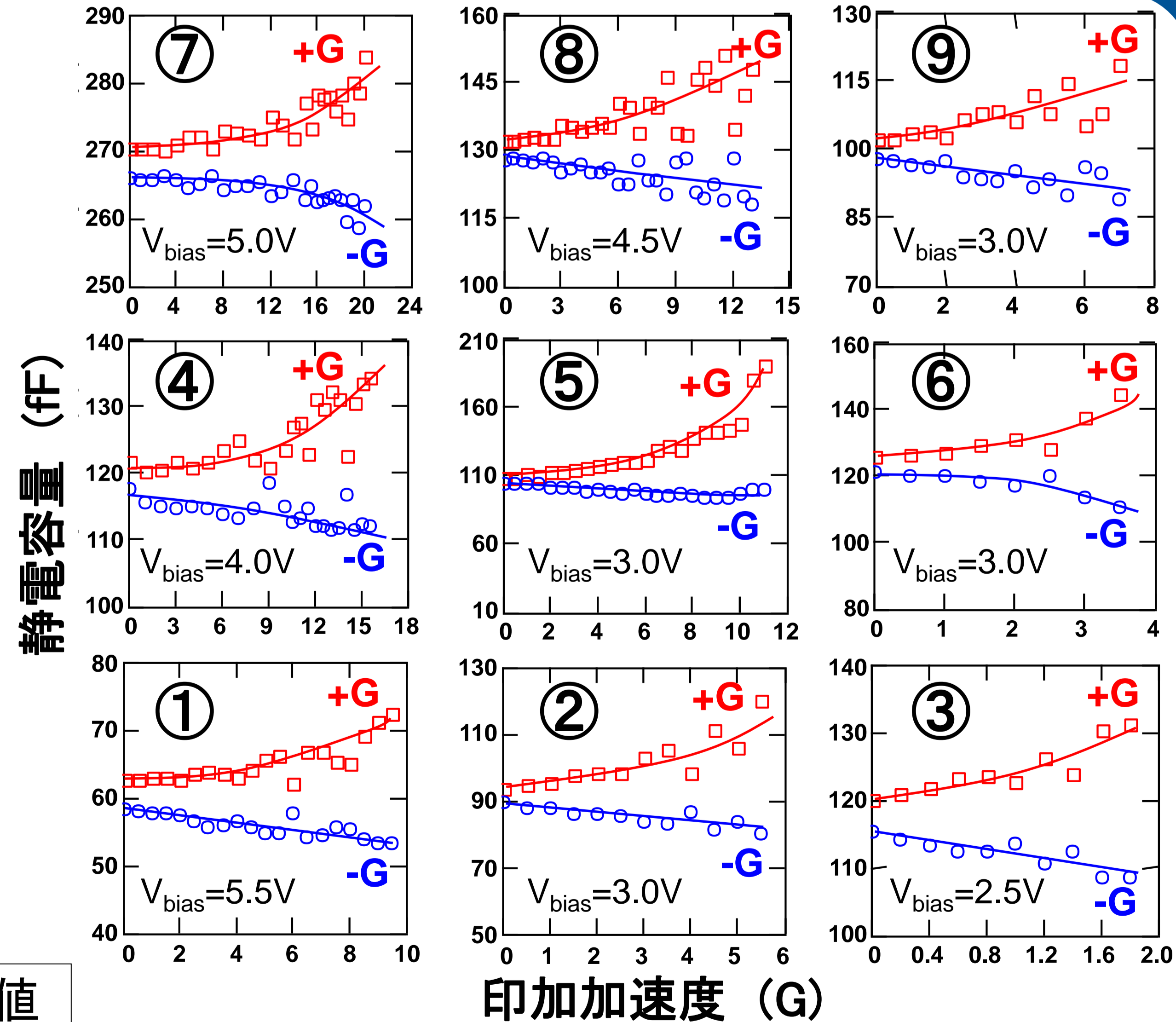
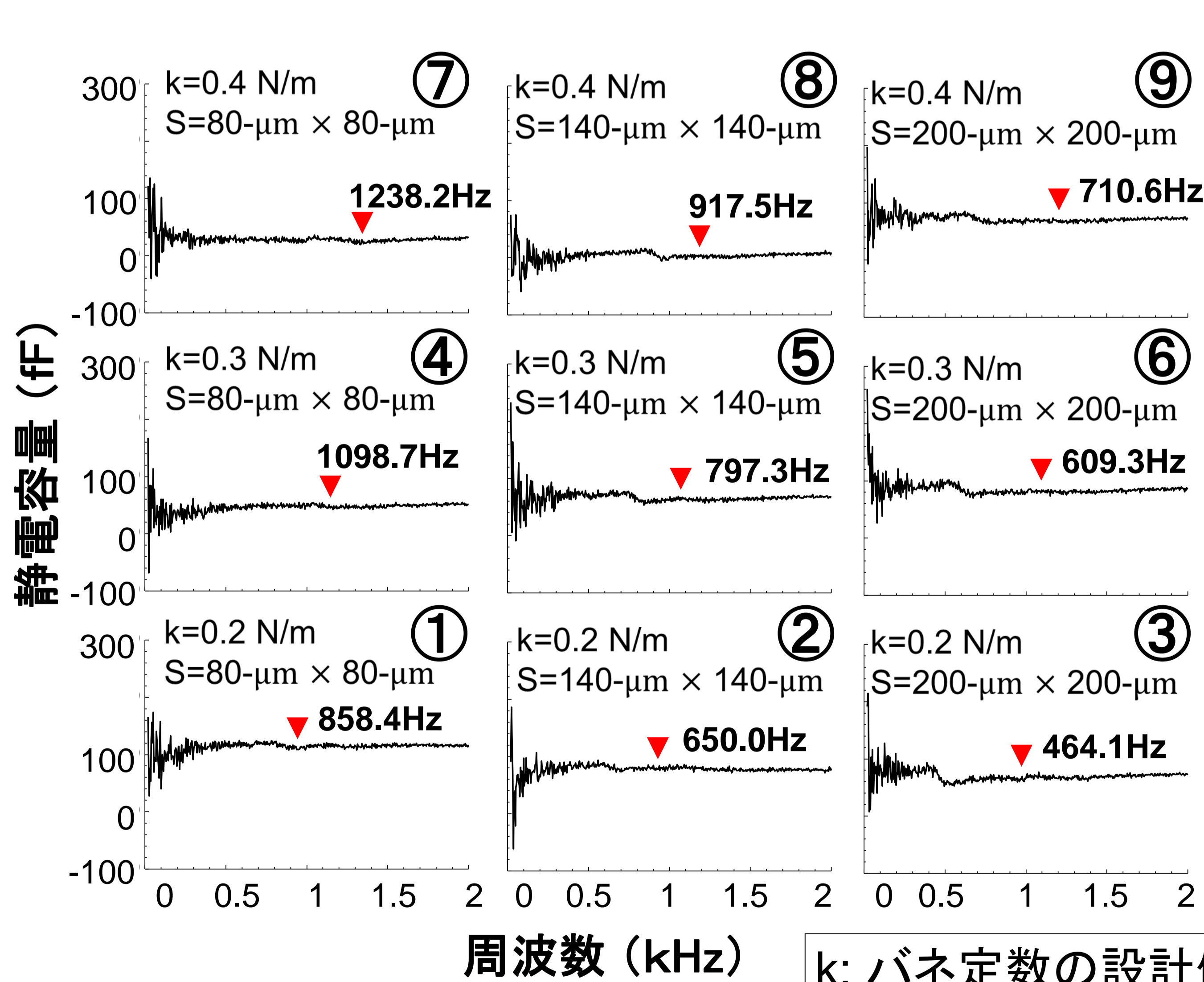
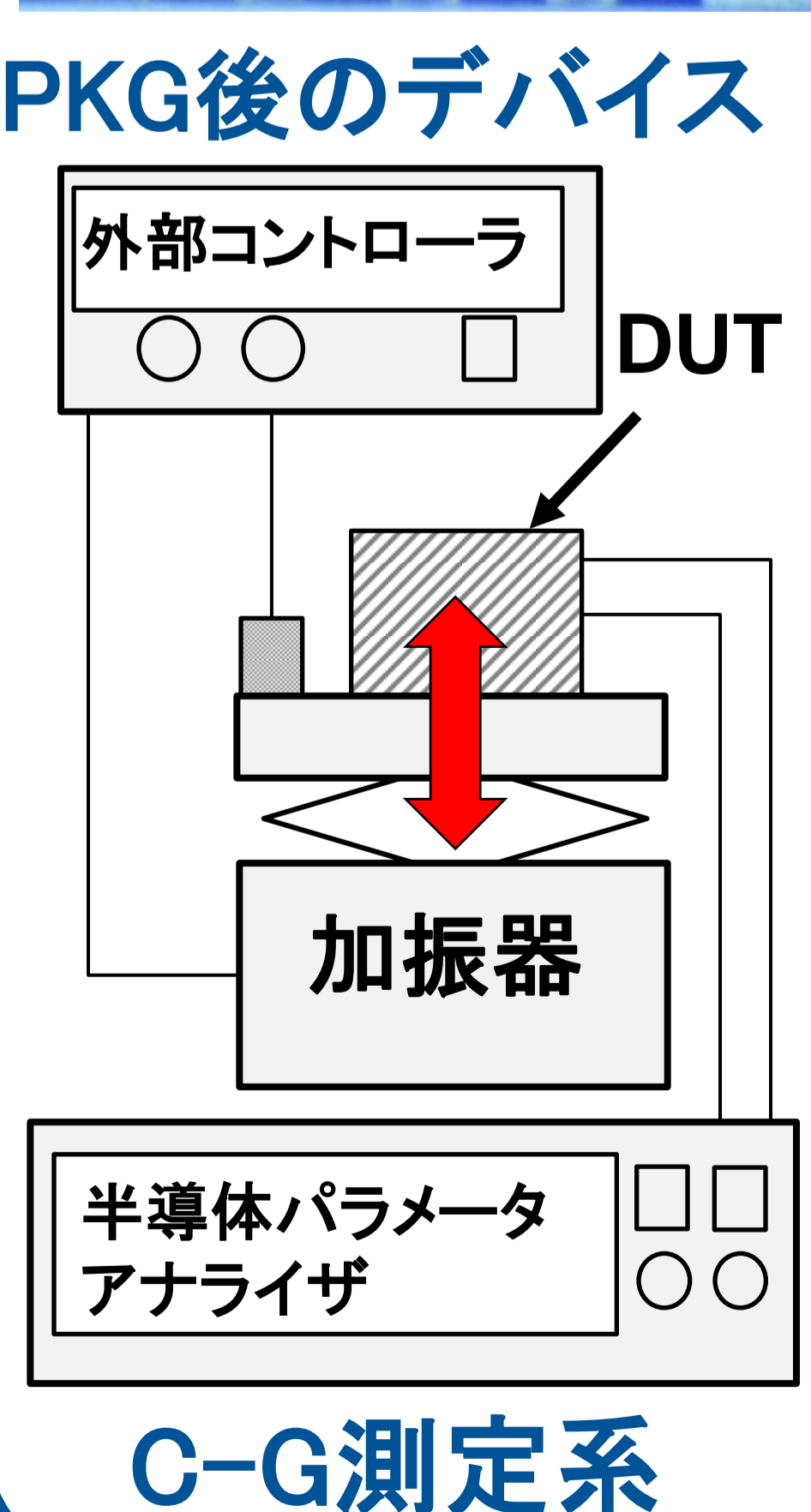
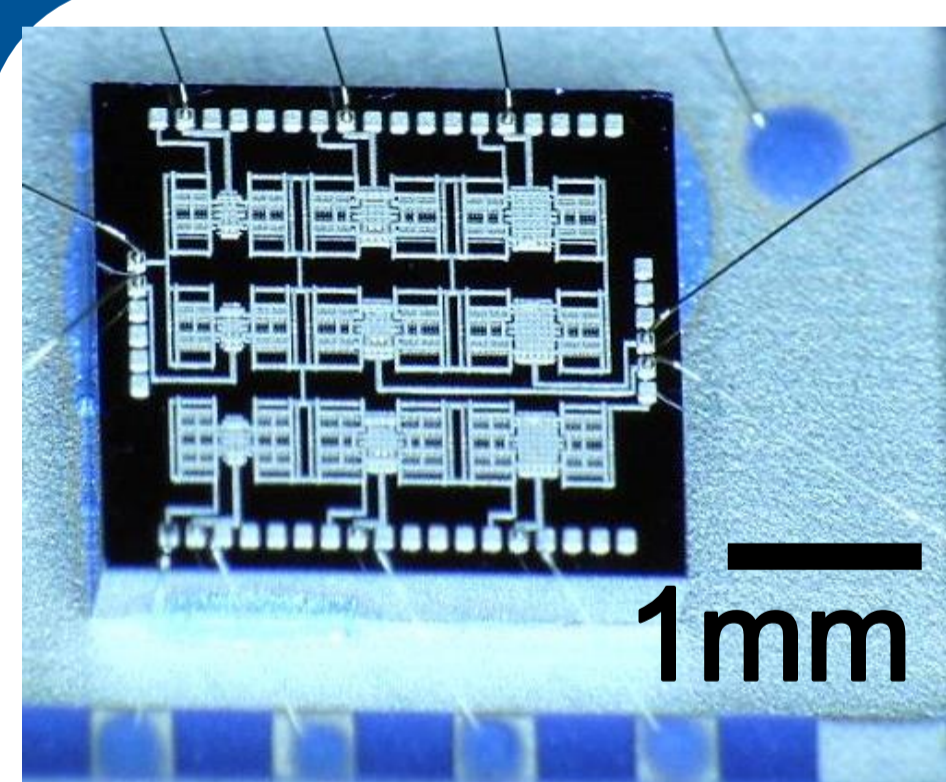
バネ定数と錘面積をパラメータとして加速度検知範囲の異なる9個の加速度センサを1チップ内にアレイ化



設計制約	目標仕様
チップサイズ	≤ 4mm角
錘サイズ	≤ 200 μm 角
検知範囲	±1.0~20G
ノイズ (B_N)	100 $\mu g/\sqrt{Hz}$



3. アレイ型MEMS加速度センサの特性評価



結論と今後の課題

アレイ型MEMS加速度センサの試作・特性評価を行い, 1.0 G~20 Gの加速度を1チップで検出できる見通しを得た. 今後はCMOS-MEMSアレイ型MEMS加速度センサ実現へ向けて, CMOSセンサ回路を設計する.